



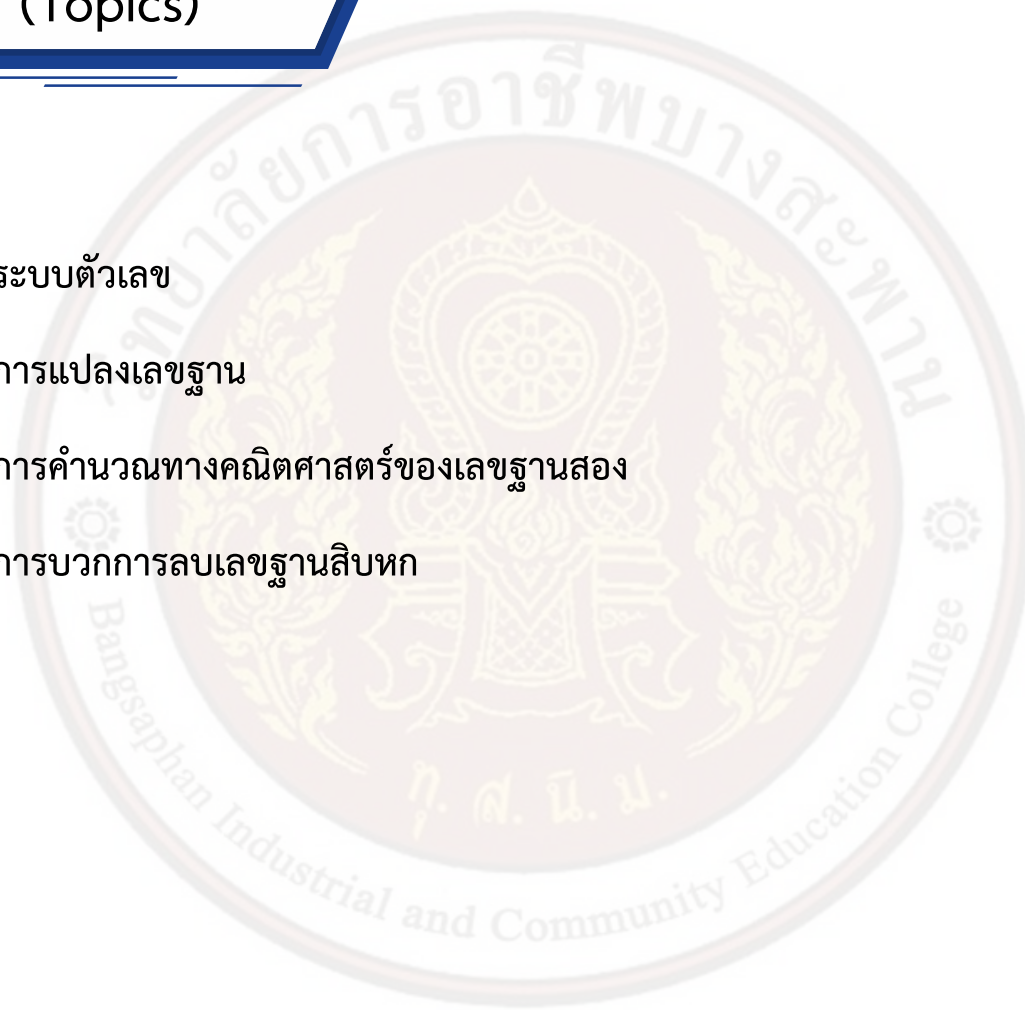
ระบบตัวเลขและการคำนวณ

แบบทดสอบก่อนเรียน



หัวข้อเรื่อง (Topics)

- 1.1 ระบบตัวเลข
- 1.2 การแปลงเลขฐาน
- 1.3 การคำนวณทางคณิตศาสตร์ของเลขฐานสอง
- 1.4 การบวกการลบเลขฐานสิบหก



1.1 ระบบตัวเลข

1.1.1 ระบบเลขฐานสิบ (Decimal numbers)

ระบบเลขฐานสิบเป็นระบบตัวเลขที่เราใช้งานและคุ้นเคย เพราะเราใช้งานเป็นประจำ ระบบเลขฐานสิบประกอบด้วยเลข 0 1 2 3 4 5 6 7 8 และ 9 สามารถเขียนให้มามีค่ามากขึ้นได้โดยการเพิ่มจำนวนหลัก (Digit) ของเลขฐานสิบ ดังที่แสดงในตารางที่ 1.1

ตารางที่ 1.1 แสดงค่าประจำตำแหน่งของระบบเลขฐานสิบ ประเภทจำนวนเต็ม

หลักที่	หลักที่ n	หลักที่ 7	หลักที่ 6	หลักที่ 5	หลักที่ 4	หลักที่ 3	หลักที่ 2	หลักที่ 1
ชื่อประจำหลัก		ล้าน	แสน	หมื่น	พัน	ร้อย	สิบ	หน่วย
เขียนเป็นเลขยกกำลัง	10^{n-1}	10^6	10^5	10^4	10^3	10^2	10^1	10^0
ค่าตัวเลข	10^{n-1}	1,000,000	100,000	10,000	1,000	100	10	1

การเขียนเลขฐาน 10 สามารถเขียนได้โดยไม่ต้องมีเลขหรือสัญลักษณ์ใด ๆ กำกับไว้ที่ด้านท้ายหรือฐานส่วนการอ่านสามารถอ่านได้โดยคำนึงถึงค่าประจำหลักหรือค่าประจำตำแหน่ง

1.1.2 ระบบเลขฐานสอง (Binary numbers)

ในระบบเลขฐานสองประกอบด้วยเลข 2 ตัว คือเลข 0 และ 1 การเขียนสามารถเขียน 0 และ 1 เรียงกันหลาย ๆ ตัว ทำให้ค่าของตัวเลขมีค่ามากขึ้น แสดงไว้ในตารางที่ 1.2

ตารางที่ 1.2 แสดงค่าประจำตำแหน่งของระบบเลขฐานสอง ประเภทจำนวนเต็ม

หลักที่	หลักที่ n	หลักที่ 7	หลักที่ 6	หลักที่ 5	หลักที่ 4	หลักที่ 3	หลักที่ 2	หลักที่ 1
เขียนเป็นเลข ยกกำลัง	n^{n-1}	2^6	2^5	2^4	2^3	2^2	2^1	2^0
ค่าประจำ ตำแหน่งคิดเป็น เลขฐาน 10	2^{n-1}	64	32	16	8	4	2	1

การเขียนเลขฐานสอง สามารถเขียนเลข 0 และ 1 เรียงกันแล้วมีเลข 2 ห้อยเป็นฐานกำกับไว้ ด้านท้าย หรือถ้าเป็นระบบไมโครคอนโทรลเลอร์ สามารถเขียนสัญลักษณ์ % ไว้ด้านหน้าของตัวเลข ฐานสองหรือ บางครั้งสามารถเขียนตัวอักษร B ไว้หลังเลขฐานสอง ก็จะหมายถึงตัวเลขจำนวนนี้เป็นเลขฐานสอง เช่น

$$10111012 = \%1011101 = 1011101B$$

การคิดคำนวณเลขฐานสองเมื่อเทียบกับค่าตัวเลขที่เราใช้ในชีวิตประจำวัน (เลขฐานสิบ) ให้พิจารณาว่า เลขฐานสองนั้น อยู่ในตำแหน่งใด และหลักนั้นมีค่าประจำตำแหน่งเท่าไร

1.1.3 ระบบเลขฐานแปด (Octal numbers)

ในระบบเลขฐานแปดประกอบตัวเลข 8 ตัว คือเลข 0, 1, 2, 3, 4, 5, 6 และ 7 การเขียนสามารถเขียน 0 และ 1 เรียงกันหลาย ๆ ตัว ทำให้ค่าของตัวเลขมีค่ามากขึ้น แสดงไว้ในตารางที่ 1.3

ตารางที่ 1.3 แสดงค่าประจำตำแหน่งของระบบเลขฐานแปด ประเภทจำนวนเต็ม

หลักที่	หลักที่ n	หลักที่ 6	หลักที่ 5	หลักที่ 4	หลักที่ 3	หลักที่ 2	หลักที่ 1
เขียนเป็นเลข ยกกำลัง	n^{n-1}	8^5	8^4	8^3	8^2	8^1	8^0
ค่าประจำตำแหน่งคิด เป็นเลขฐาน 10	2^{n-1}	32768	4096	512	64	8	1

การคิดคำนวณเลขฐานแปดเมื่อเทียบกับค่าตัวเลขฐานสิบ ให้พิจารณาว่าเลขฐานแปดนั้น อยู่ในตำแหน่งใด และหลักนั้นมีค่าประจำตำแหน่งเท่าไร

1.1.4 ระบบเลขฐานสิบหก (Hexadecimal numbers)

เลขฐานสิบหกนี้ จะใช้มากในระบบดิจิทัล ระบบไมโครคอนโทรลเลอร์ สามารถเขียนเป็นภาษาเครื่องที่ระบบคอมพิวเตอร์ใช้งานได้เลย เลขฐานสิบหก มีสมาชิกจำนวน 16 ตัว ได้แก่ 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, และ F

(A มีค่า = 10, B = 11, C = 12, D = 13, E = 14 และ F = 15) สามารถเขียนผังระบบจำนวนเลขฐานสิบหกได้ ดังตารางที่ 1.4

ตารางที่ 1.4 ผังระบบจำนวนของระบบเลขฐานสิบหก

0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
10	11	12	13	14	15	16	17	18	19	1A	1B	1C	1D	1E	1F
20	21	22	23	24	25	26	27	28	29	2A	2B	2C	2D	2E	2F
30	31	32	33	34	35	36	37	38	39	3A	3B	3C	3D	3E	3F
40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F
50	51	52	53	54	55	56	57	58	59	5A	5B	5C	5D	5E	5F
60	61	62	63	64	65	66	67	68	69	6A	6B	6C	6D	6E	6F
70	71	72	73	74	75	76	77	78	79	7A	7B	7C	7D	7E	7F
80	81	82	83	84	85	86	87	88	89	8A	8B	8C	8D	8E	8F
90	91	92	93	94	95	96	97	98	99	9A	9B	9C	9D	9E	9F
A0	A1	A2	A3	A4	A5	A6	A7	A8	A9	AA	AB	AC	AD	AE	AF
B0	B1	B2	B3	B4	B5	B6	B7	B8	B9	BA	BB	BC	BD	BE	BF
C0	C1	C2	C3	C4	C5	C6	C7	C8	C9	CA	CB	CC	CD	CE	CF
D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	DA	DB	DC	DD	DE	DF
E0	E1	E2	E3	E4	E5	E6	E7	E8	E9	EA	EB	EC	ED	EE	EF
F0	F1	F2	F3	F4	F5	F6	F7	F8	F9	FA	FB	FC	FD	FE	FF

ค่าประจำตำแหน่งของเลขฐานสิบหกเมื่อเทียบกับเลขฐานสิบ แสดงในตารางที่ 1.5

ตารางที่ 1.5 แสดงค่าน้ำหนักแต่ละหลักของเลขฐานสิบหก

หลักที่	หลักที่ n	หลักที่ 6	หลักที่ 5	หลักที่ 4	หลักที่ 3	หลักที่ 2	หลักที่ 1
เขียนเป็นเลขยกกำลัง	16^{n-1}	16^5	16^4	16^3	16^2	16^1	16^0
ค่าตัวเลข	16^{n-1}	1,048,576	65,536	4096	256	16	1

การเขียนและอ่านเลขฐานสิบหก สามารถเขียนให้มีค่าสูงมากขึ้น โดยการเขียนจำนวนหลักมากขึ้น แล้วเขียนเลข 16 หรือ H ห้อยเป็นฐานกำกับไว้ด้านท้าย หรือเขียนสัญลักษณ์ 0x ไว้ด้านหน้าตัวเลขฐานสิบหก เช่น

$1A46F16 = 1A46FH = 0x1A46F$ อ่านว่าหนึ่งเอสี่หกเอฟฐานสิบหก

1.2 การแปลงเลขฐาน

1.2.1 การแปลงเลขฐานระหว่างเลขฐานสองกับเลขฐานสิบ

การศึกษาระบบจำนวนของเลขในระบบดิจิทัล บางโอกาสจะใช้เลขฐานสอง และบางโอกาสจะใช้เลขฐานสิบ ดังนั้นควรรู้วิธีการแปลงเลขจากเลขฐานสองเป็นเลขฐานสิบ และแปลงเลขฐานสิบเป็นเลขฐานสอง

1. การแปลงเลขฐานสองเป็นเลขฐานสิบ

วิธีแปลงเลขฐานสองเป็นเลขฐานสิบ ให้พิจารณาว่าเลขฐานนั้นอยู่ตำแหน่งใดคิคน้ำหนักของตำแหน่งนั้น ว่ามีค่าเท่าไร แล้วนำค่าแต่ละตัวมารวมกัน รูปแบบการเขียนเลขในระบบเลขฐานสอง จะเขียนค่ามากที่สุด (Most significant bit : MSB) อยู่ทางซ้ายมือ ส่วนหลักที่มีค่าน้อยที่สุด (Least significant bit : LSB) จะอยู่ทางขวามือ เช่น

MSB LSB
↓ ↓
101101.011

จากเลขฐานสองด้านบนสามารถเขียนเป็นเลขยกกำลังได้ ดังนี้

$$["101101.011"]_{-2} = 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3}$$
 การแปลงจากเลขฐานสองเป็นเลขฐานสิบ กระทำโดยนำเลขฐานสองคูณกับค่าน้ำหนักแต่ละหลัก แล้วนำมารวมกันจะได้เป็นฐานสิบ

2. การแปลงเลขฐานสิบเป็นเลขฐานสอง

การแปลงเลขฐานสิบเป็นเลขฐานสอง ทำได้โดยการนำเลขฐานสิบหารด้วยสอง เหลือเศษเท่าไรเขียนไว้ด้านขวามือ แล้วนำผลลัพธ์มาหารด้วยสอง เหลือเศษเท่าไร เขียนไว้ทางขวามือ ทำเช่นนี้ไปเรื่อย ๆ จนไม่สามารถหารต่อไปได้ คำตอบตัวเลขตัวสุดท้ายจะเป็นผลลัพธ์เลขฐานสองหลักสูงสุด (MSB) และตัวเลขที่ได้จากการหารครั้งแรกจะเป็นหลักต่ำสุด (LSB)

1.2.2 การแปลงเลขฐานระหว่างเลขฐานสิบหกกับเลขฐาน 8

1. การแปลงเลขฐานแปดเป็นเลขฐานสิบ

วิธีการแปลงเลขฐานแปดให้เป็นเลขฐานสิบ สามารถทำได้โดยนำเลขฐานแปดแต่ละหลักคูณด้วยน้ำหนักแต่ละหลัก แล้วนำมารวมกัน จะได้เลขฐานสิบ

2. การแปลงเลขฐานสิบเป็นเลขฐานแปด

ทำได้โดยนำเลขฐานสิบหารด้วย 8 เหลือเศษเท่าไรเขียนไว้ด้านขวามือแล้วนำผลลัพธ์แต่ละครั้งหารด้วย 8 ต่อไปเรื่อย ๆ จนไม่สามารถหารต่อไปได้ เลขตัวสุดท้ายจะเป็นผลลัพธ์เลขฐานแปดหลักสูงสุด (MSB) เศษที่ได้จากการหารครั้งแรกจะเป็นเลขฐานแปดหลักต่ำสุด (LSB)

1.2.3 การแปลงเลขฐานระหว่างเลขฐานสิบหกกับเลขฐาน 10

1. การแปลงเลขฐานสิบหกเป็นเลขฐานสิบ

วิธีการแปลงเลขฐานสิบหก ให้เป็นเลขฐานสิบ สามารถทำได้โดยนำเลขฐานสิบหก แต่ละหลักคูณด้วยน้ำหนักแต่ละหลัก แล้วนำมารวมกัน จะได้เลขฐานสิบ

2. การแปลงเลขฐานสิบเป็นเลขฐานสิบหก

ทำได้โดยนำเลขฐานสิบหารด้วย 16 เหลือเศษเท่าไรเขียนไว้ด้านขวามือแล้วนำผลลัพธ์แต่ละครั้งหารด้วย 16 ต่อไปเรื่อย ๆ จนไม่สามารถหารต่อไปได้ เลขตัวสุดท้ายจะเป็นผลลัพธ์เลขฐานสิบหกหลักสูงสุด (MSB) เศษที่ได้จากการหารครั้งแรกจะเป็นเลขฐานสิบหกหลักต่ำสุด (LSB)

1.2.4 การแปลงเลขฐานระหว่างเลขฐานสองกับเลขฐานแปด

การแปลงเลขฐานสองกับเลขฐานแปด สามารถแปลงระหว่างกันได้โดยตรง โดยเลขฐานสองจำนวน 3 หลัก (นับจากจุดทศนิยม) แปลงเป็นเลขฐานแปดได้ 1 หลัก และเลขฐานแปดจำนวน 1 หลัก แปลงเป็นเลขฐานสองได้ 3 หลัก ให้ใช้ข้อมูลจากตารางที่ 1.6

ตารางที่ 1.6 แสดงเลขฐานสองและเลขฐานแปด

เลขฐานสอง	เลขฐานแปด
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

1.2.5 การแปลงเลขฐานระหว่างเลขฐานสองกับเลขฐานสิบหก

การแปลงเลขฐานสองกับเลขฐานสิบหก สามารถแปลงระหว่างกันได้โดยตรง โดยเลขฐานสองจำนวน 4 หลัก แปลงเป็นเลขฐานสิบหกได้ 1 หลัก และเลขฐานสิบหก 1 หลัก แปลงเป็นเลขฐานสองได้ 4 หลักให้ใช้ข้อมูลจากตารางที่ 1.7

ตารางที่ 1.7 แสดงเลขฐานสิบ เลขฐานสอง และเลขฐานสิบหก

เลขฐานสิบ	เลขฐานสอง	เลขฐานสิบหก
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F

1.3 การคำนวณทางคณิตศาสตร์ของเลขฐานสอง

1.3.1 การบวกเลขฐานสอง (Binary addition)

การบวกเลขฐานสองทำเช่นเดียวกับการบวกเลขฐานสิบ ที่ใช้ในชีวิตประจำวัน แต่ค่าตัวเลขแต่ละหลัก จะไม่เกินเลข 1 ถ้าเกินให้ทดไปยังหลักที่มีค่ามากกว่า

กฎการบวกเลขฐานสอง

$$0 + 0 = 0 \text{ ทด } 0$$

$$0 + 1 = 1 \text{ ทด } 0$$

$$1 + 0 = 1 \text{ ทด } 0$$

$$1 + 1 = 0 \text{ ทด } 1$$

1.3.2 การลบเลขฐานสอง (Binary Subtraction)

กรณีตัวตั้งมีค่ามากกว่าตัวลบ ให้ใช้วิธีเดียวกันกับการลบเลขฐานสิบ โดยการลบมีดังนี้

$$0 - 0 = 0$$

$$0 - 1 = 1 \text{ ยืมหลักที่มีค่ามากกว่า 1}$$

$$1 - 0 = 1$$

$$1 - 1 = 0$$

1.3.3 การคูณเลขฐานสอง (Binary Multiplication)

การคูณเลขฐานสองมีหลักการเดียวกับการคูณเลขฐานสิบ กล่าวคือมีการกระทำ 2 อย่าง ได้แก่การคูณกันของแต่ละหลักของตัวตั้งกับตัวคูณ แล้วนำมารวมกันของแต่ละหลัก การคูณกัน ของเลขฐาน 2 จำนวน 1 บิตมีค่าดังนี้

$$0 \times 0 = 0$$

$$0 \times 1 = 0$$

$$1 \times 0 = 0$$

$$1 \times 1 = 1$$

1.3.4 การหารเลขฐานสอง (Binary division)

การหารเลขฐานสองมีหลายวิธี วิธีที่ง่ายที่สุดได้แก่วิธีหารยาว

1.4 การบวกการลบเลขฐานสิบหก

การบวกการลบเลขฐานสิบหกมีวิธีการเช่นเดียวกับการบวกลบเลขฐานสอง แต่มีข้อแตกต่างกันตรงที่การยืมจากหลักที่สูงกว่าแต่ละครั้งนั้นจะมีค่าเท่ากับ 16

ตัวอย่างที่ 1.41 จงบวกเลข $9A5C_{16} + 6D89_{16}$

วิธีคำนวณ

$$\begin{array}{r} \text{ตัวทด} \rightarrow \begin{array}{cccc} 1 & 1 & & \\ 9 & A & 5 & C \\ + & 6 & D & 8 & 9 \\ \hline 1 & 0 & 7 & E & 5 \end{array} \end{array}$$

$C = 12$
 $12 + 9 = 21$
 $16 \overline{) 21}$
 $\underline{16}$
 5

$$\therefore 9A5C_{16} + 6D89_{16} = 107E5_{16}$$

ตอบ

ตัวอย่างที่ 1.42 จงลบเลข $E7B7_{16} - CA5F_{16}$

วิธีคำนวณ

B ถูกยืมไป 1 จึงเหลือ A ยืมจาก B มา 1 ซึ่งมีค่า 16

$$\begin{array}{r} \begin{array}{cccc} & A & 16 & \\ E & 7 & B & 7 \\ - & C & A & 5 & F \\ \hline 1 & D & 5 & 8 \end{array} \end{array}$$

$F = 15$
 $7 - 15$ ลบไม่ได้จึงยืมจาก B มา 1
ซึ่งมีค่าเท่ากับ 16 รวมกับ 7 จึงเท่ากับ 23
 $23 - 15 = 8$

$$\therefore E7B7_{16} - CA5F_{16} = 1D58_{16}$$

ตอบ

หมายเหตุ สำหรับเลขฐานสิบหก เมื่อยืมหลักที่มีค่ามากกว่ามา 1 จะมีค่าเท่ากับ 16

แบบทดสอบหลังเรียน



รหัสดิจิทัล



แบบทดสอบก่อนเรียน



หัวข้อเรื่อง (Topics)

- 2.1 รหัสบีซีดี (BCD Code)
- 2.2 รหัสเลขฐานสิบหก (Hexadecimal Code)
- 2.3 รหัสเกิน 3 (Excess-3 code)
- 2.4 รหัสเกรย์ (Gray code)
- 2.5 รหัสแอสกี (ASCII)
- 2.6 ยูนิโคด (Unicode)

2.1 รหัสบีซีดี (BCD Code)

รหัส BCD เป็นรหัสที่นำเอาตัวเลขฐานสองคือ 0 และ 1 มาประกอบกันเป็นใช้แทนเลขฐานสิบ ซึ่งจะประกอบด้วยเลขฐานสองจำนวน 4 บิต เพื่อที่จะแทนเลขฐานสิบ 0 ถึง 9 รหัส BCD เป็นรหัสที่มีน้ำหนักในการแทนค่า ซึ่งมีหลายชนิดแต่ที่เป็นที่นิยมและง่ายในการใช้งานที่สุดเห็นจะเป็นรหัส BCD-8421 ซึ่งตัวเลข 8421 นี้คือค่าน้ำหนักประจำหลักแต่ละหลักที่บิต 0 ถึงบิต 3 รหัส BCD แบบอื่น ๆ เช่น BCD-2421, BCD-7421, BCD-5421, BCD-6311 ดังที่แสดงในตารางที่ 2.1

ตารางที่ 2.1 แสดงตัวเลขฐานสองของรหัส BCD แบบต่าง ๆ

เลขฐานสิบ	BCD-8421	BCD-2421	BCD-7421	BCD-5421	BCD-6311
0	0000	0000	0000	0000	0000
1	0001	0001	0001	0001	0001
2	0010	0010	0010	0010	0011
3	0011	0011	0011	0011	0100
4	0100	0100	0100	0100	0101
5	0101	1011	0101	1000	0111
6	0110	1100	0110	1001	1000
7	0111	1101	1000	1010	1001
8	1000	1110	1001	1011	1011
9	1001	1111	1010	1100	1100

2.2 รหัสเลขฐานสิบหก (Hexadecimal code)

รหัสเลขฐานสิบหกนิยมใช้ในงานไมโครคอนโทรลเลอร์ ไมโครคอมพิวเตอร์ โดยใช้ตัวเลขและตัวอักษรแทนดังแสดงในตารางที่ 2.2

ตารางที่ 2.2 แสดงรหัสเลขฐานสิบหก

เลขฐานสิบ	เลขฐานสิบหก
0	0
1	1
2	2
3	3
4	4
5	5
6	6
7	7
8	8
9	9
10	A
11	B
12	C
13	D
14	E
15	F

จากตารางที่ 2.2 จะพบว่าเลขฐานสิบตั้งแต่ 0 ถึง 9 จะตรงกับตัวเลข 0 ถึง 9 ของรหัสเลขฐานสิบหกแต่ตั้งแต่ 10 ถึง 15 ของเลขฐานสิบนั้นจะใช้ตัวอักษร A ถึง F แทนในรหัสเลขฐานสิบหก

2.3 รหัสเกิน 3 (Excess-3 code)

รหัส Excess-3 นั้นเป็นรหัสที่ไม่มีน้ำหนัก (Non weighted Code) ปรับปรุงจากรหัส BCD-8421 โดยจะมีค่าที่แปลงจากรหัส BCD-8421 บวกเพิ่มอีก 3 สามารถใช้แทนเลขฐานสิบเช่นกัน คือใช้แทนเลข 0 ถึง 9 วิธีการเปลี่ยนเลขจากเลขฐานสิบให้เป็นรหัส Excess-3 ให้เปลี่ยนเลขฐานสิบในแต่ละหลักให้เป็น BCD-8421 ก่อนจากนั้นจึงบวกรหัส BCD ที่ด้วยเลข 0011 ทุกชุด ก็จะได้คำตอบเป็นรหัส Excess-3 แสดงดังตารางที่ 2.3

ตารางที่ 2.3 แสดงรหัสเกิน 3

เลขฐานสิบ	รหัส BCD-8421	รหัส Excess-3
0	0000	0011
1	0001	0100
2	0010	0101
3	0011	0110
4	0100	0111
5	0101	1000
6	0110	1001
7	0111	1010
8	1000	1011
9	1001	1100

2.4 รหัสเกรย์ (Gray code)

รหัสเกรย์เป็นรหัสที่ไม่มีน้ำหนักเช่นเดียวกัน ซึ่งลักษณะที่สำคัญของรหัสชนิดนี้คือ ในตัวเลขระหว่างกลุ่มรหัสที่เรียงลำดับต่อเนื่องกันไปนั้น รหัสที่อยู่ในตำแหน่งติดกันจะมีบิตที่แตกต่างกันเพียง 1 บิตเท่านั้น เช่น 0000 ลำดับต่อไปคือ 0001 ลำดับต่อไปคือ 0011 ลำดับต่อไปคือ 0010 เป็นต้น รหัสเกรย์จะนำไปใช้ประโยชน์มากในระบบการตรวจจับสัญญาณด้วยแสงหรือระบบการทำรหัสเพื่อบอกตำแหน่งของเพลาหมุน รหัสเกรย์ แสดงดังตารางที่ 2.4

ตารางที่ 2.4 แสดงรหัสเกรย์เทียบกับรหัส BCD-8421

เลขฐานสิบ	รหัส BCD-8421	รหัส Gray
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101

2.4.1 การแปลงเลข Binary ให้เป็น Gray code มีวิธีการแปลงตามขั้นตอนต่อไปนี้

- หลักที่มีนัยสำคัญสูงสุด (MSB) ของ Gray code จะมีค่าเท่ากับหลักที่มีนัยสำคัญสูงสุดของ Binary
- เลข Binary หลัก MSB บวก เลข Binary bit ที่มีนัยสำคัญต่ำกว่าโดยไม่คิดตัวทด จะได้ Gray code หลักต่ำกว่า
- Gray code บิตถัดไปจะเกิดจากการบวกเลข Binary ที่ตำแหน่งของหลักนั้นกับเลข Binary ตำแหน่งที่มีนัยสำคัญสูงกว่า

2.4.2 การแปลงเลข Gray code ให้เป็นเลข Binary มีวิธีการแปลงตามขั้นตอนต่อไปนี้

- หลักที่มีนัยสำคัญสูงสุด (MSB) ของ Gray code จะมีค่าเท่ากับ หลักที่มีนัยสำคัญสูงสุดของเลข Binary
- นำผลลัพธ์ของเลข Binary ไปบวกกับ Gray code บิตที่ต่ำกว่าโดยไม่คิดตัวทดผลที่ได้จะเป็นเลข Binary บิตถัดไปทางด้านขวามือ

2.5 รหัสแอสกี (ASCII)

2.5.1 รหัสแอสกีที่ใช้ในอเมริกา

รหัสแอสกี (ASCII : American Standard Code for Information Interchange) เป็นรหัสมาตรฐานที่ยอมรับกันในวงการอุตสาหกรรมอย่างกว้างขวาง ซึ่งใช้แพร่หลายกันในระบบคอมพิวเตอร์ รวมทั้งในระบบอินพุตและเอาต์พุตเช่นเครื่องพิมพ์ (printer) ระบบการสื่อสารผ่านระบบคอมพิวเตอร์ รหัสชนิดนี้ ประกอบไปด้วยเลขฐานสองจำนวน 8 บิต ซึ่งใช้แทนทั้งตัวเลขและตัวอักษร พร้อมทั้งตัวเครื่องหมายต่าง ๆ ดังนั้น รหัสแอสกีที่สร้างขึ้นจึงเป็นรหัสที่แทนข้อความภาษาอังกฤษ ซึ่งเลขฐานสองจำนวน 8 บิตจะสามารถแทนรหัสได้สูงสุด **2⁸** คือจะได้จำนวน 256 แบบ (จาก 00000000₂ ถึง 11111111₂ หรือ \$00 ถึง \$FF หรือ 0 – 255) โดยลำดับที่ 0 ถึงลำดับที่ 31 เป็นรหัสสำหรับควบคุม ดังแสดงในตารางที่ 2.5 ส่วนรหัสลำดับที่ 32 – 127 ใช้แทนตัวอักษรสัญลักษณ์ทั่วไป เช่นแสดงตัวอักษร Q รหัสแอสกีคือ \$51 (เครื่องหมาย \$ เป็นเลขฐานสิบหก) ถ้าต้องการแสดงตัวอักษร q รหัสแอสกีคือ \$71 เป็นต้น

ตารางที่ 2.5 รหัสแอสกี (ASCII) สำหรับการควบคุม

เลขฐาน 2	เลขฐานสิบ	เลขฐานสิบหก	ความหมาย
0000 0000	0	00	Null
0000 0001	1	01	เริ่มหัวเรื่อง
0000 0010	2	02	เริ่มต้นข้อความ
0000 0011	3	03	สิ้นสุดข้อความ
0000 0100	4	04	สิ้นสุดการส่ง
0000 0101	5	05	สอบถาม
0000 0110	6	06	ตอบรับ
0000 0111	7	07	สัญญาณเสียง
0 000 1000	8	08	เอาอักขระหน้าเคอร์เซอร์ออก
0000 1001	9	09	เลื่อนไปยังแท็บหยุดในแนวนอน
0000 1010	10	0A	เลื่อนกระดาศทีละบรรทัด/ขึ้นบรรทัดใหม่
0000 1011	11	0B	เลื่อนไปยังแท็บหยุดในแนวตั้ง
0000 1100	12	0C	เลื่อนกระดาศทีละหน้า/ขึ้นหน้าใหม่
0000 1101	13	0D	ไปต้นบรรทัดใหม่
0000 1110	14	0E	สลับไปเป็นชุดอักขระอื่น
0000 1111	15	0F	คืนค่าชุดอักขระเริ่มต้น
0001 0000	16	10	อักขระควบคุมการส่งข้อมูล
0001 0001	17	11	ควบคุมอุปกรณ์ 1
0001 0010	18	12	ควบคุมอุปกรณ์ 2
0001 0011	19	13	ควบคุมอุปกรณ์ 3
0001 0100	20	14	ควบคุมอุปกรณ์ 4
0001 0101	21	15	ไม่ยอมรับ
0001 0110	22	16	อักขระควบคุมการส่งข้อมูลแบบพร้อมกัน

5.1.2 รหัสแอสกีที่ใช้ในประเทศไทย

สำหรับรหัสแอสกีที่ใช้ในประเทศไทยได้สรุปไว้ในตารางที่ 2.6

ตารางที่ 2.6 รหัสแอสกีประเทศไทย/ภาษาอังกฤษ

				b7	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0
				b6	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1
				b5	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1
				b4	0	1	0	1	0	1	0	1	0	1	0	1	0	1	1
b3	b2	b1	b0																
0	0	0	0					0	@	P	²	p				ฐ	ภ	ะ	เ
0	0	0	1					!	1	A	Q	a	q			ก	ท	ม	ั
0	0	1	0					"	2	B	R	b	r			ข	ฅ	ย	า
0	0	1	1					£	3	C	S	c	s			ช	ณ	ร	ำ
0	1	0	0					\$	4	D	T	d	t			ค	ด	ฤ	ิ
0	1	0	1					%	5	E	U	e	u			ค	ต	ล	ี
0	1	1	0					&	6	F	V	f	v			ฆ	ถ	ภ	ื
0	1	1	1					'	7	G	W	g	w			ง	ท	ว	า
1	0	0	0					(	8	H	X	h	x			จ	ธ	ศ	ุ
1	0	0	1					)	9	I	Y	i	y			ฉ	น	ษ	ู
1	0	1	0					*	:	J	Z	j	z			ช	บ	ส	อ
1	0	1	1					+	;	K	[	k	¹ / ₄			ช	ป	ห	ั

ตารางที่ 2.6 รหัสแอสกีประเทศไทย/ภาษาอังกฤษ (ต่อ)

1	1	0	0				,	<	L		l					ณ	ณ	พ		๙	
1	1	0	1				-	=	M	]	m					ญ	ณ	อ		๐	
1	1	1	0				.	>	N	³ / ₄	n	³				ฎ	พ	ฮ			
1	1	1	1				/	?	O	_	o					ฏ	ฟ	ฯ	฿	๑	

2.6 ยูนิโคด (Unicode)

ยูนิโคดคือรหัสคอมพิวเตอร์ใช้แทนตัวอักษรสามารถใช้แทนอักษร สัญลักษณ์ต่าง ๆ ได้มากกว่า รหัส ASCII ซึ่งรหัส ASCII เก็บอักษรได้สูงสุดเพียง 256 ตัว เนื่องจากรหัส ASCII เป็นรหัสขนาด 1 ไบต์ (1 Byte = 8 bit) แต่ Unicode เป็นโคดขนาด 2 ไบต์ หรือ 16 บิต จึงสามารถใช้แทนตัวอักษรและ สัญลักษณ์ต่าง ๆ ได้เท่ากับ 2_{16} หรือเก็บได้สูงสุด 65,536 ตัวอักษร ดังนั้นยูนิโคดจึงถูกนำไปใช้เป็น โคดของภาษาต่าง ๆ ได้ทั่วโลกภาษาไทยก็อยู่ใน Unicode นี้ด้วยเหมือนกัน ดังนั้นรหัสภาษาไทยเอาไป เปิดในภาษาอังกฤษ ก็ยังเป็นภาษาไทยอยู่ ไม่ออกมาเป็นภาษาอังกฤษ เพราะว่ามีโคด (code) ที่ แนนอนโคดนี้จองไว้สำหรับภาษาไทยขณะเดียวกันโคดภาษาจีน ภาษาญี่ปุ่น ภาษาลาว หรือภาษาอื่น ๆ จะไม่ใช่ที่ซ้ำกัน ดังนั้น Unicode จึงถือเป็นมาตรฐานในการกำหนดรหัส สำหรับทุกตัวอักษร ทุกอักขระ ดังนั้น Unicode ทำให้ข้อมูลสามารถเคลื่อนย้ายไปมาในหลาย ๆ ระบบ ข้ามแพลตฟอร์ม หรือข้าม โปรแกรมได้อย่างสะดวก

แบบทดสอบหลังเรียน





วงจรลอจิกเกท และการอ่านคู่มือไอซีดีจีทล์

แบบทดสอบก่อนเรียน



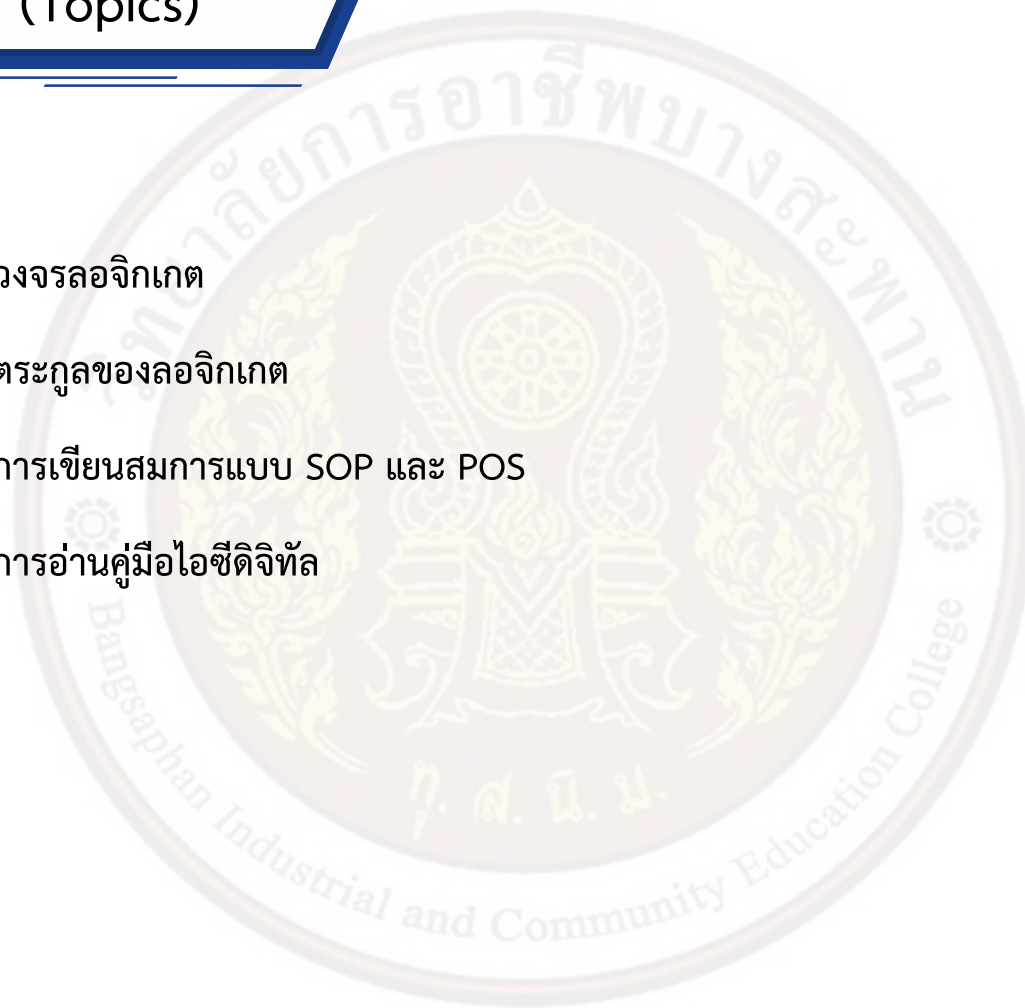
หัวข้อเรื่อง (Topics)

3.1 วงจรลอจิกเกต

3.2 ตรรกูลของลอจิกเกต

3.3 การเขียนสมการแบบ SOP และ POS

3.4 การอ่านคู่มือไอซีดิจิทัล



3.1 วงจรลอจิกเกต

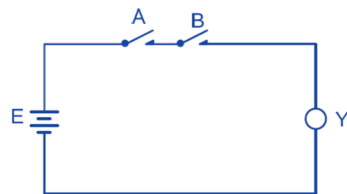
ลอจิกเกตพื้นฐาน ประกอบด้วยลอจิกเกต 8 ชนิด ประกอบด้วย AND gate, OR gate Not gate, NAND gate, NOR gate, Exclusive OR gate, Exclusive NOR gate และ Buffer

3.1.1 แอนด์เกต (AND gate)

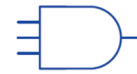
แอนด์เกตเป็นอุปกรณ์ลอจิกที่ใช้แทนการกระทำในลักษณะการคูณกันของอินพุตในระบบลอจิกซึ่งมีอินพุตตั้งแต่ 2 อินพุตขึ้นไป และมี 1 เอาต์พุต ซึ่งมีสัญลักษณ์ วงจรสมมูล แสดงดังรูปที่ 3.1 และการทำงานของแอนด์เกต แสดงดังตารางที่ 3.1 และ 3.2



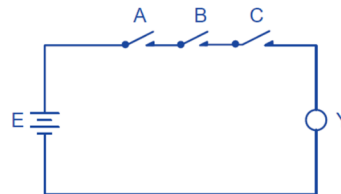
(ก) สัญลักษณ์ของแอนด์เกต 2 อินพุต



(ค) วงจรสมมูลของแอนด์เกต 2 อินพุต



(ข) สัญลักษณ์ของแอนด์เกต 3 อินพุต



(ง) วงจรสมมูลของแอนด์เกต 3 อินพุต

รูปที่ 3.1 สัญลักษณ์ วงจรสมมูลของแอนด์เกต

ตารางที่ 3.1 การทำงานของแอนด์เกต 2 อินพุต

INPUT		OUTPUT
B	A	Y
0	0	0
0	1	0
1	0	0
1	1	1

ตารางที่ 3.2 การทำงานของแอนด์เกต 3 อินพุต

INPUT			OUTPUT
C	B	A	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

จากรูปที่ 2.1 คุณสมบัติของแอนด์เกต คือจะให้เอาต์พุตเป็น "1" (อ่านว่าลอจิกหนึ่ง) เมื่ออินพุตทุกตัวเป็น "1" สามารถเขียนเป็นสมการหรือฟังก์ชันการทำงาน แสดงดังรูปที่ 3.2



$$Y = A \cdot B \quad \text{หรือ} \quad Y = AB$$



$$Y = A \cdot B \cdot C \quad \text{หรือ} \quad Y = ABC$$

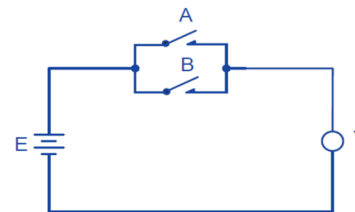
รูปที่ 3.2 สมการด้านเอาต์พุตของแอนด์เกต

3.1.2 ออร์เกต (OR gate)

ออร์เกตเป็นอุปกรณ์ดิจิทัลที่ใช้แทนการกระทำในลักษณะการบวกกันของอินพุตในระบบลอจิกอินพุตของออร์เกตมีตั้งแต่ 2 อินพุตขึ้นไป มี 1 เอาต์พุต สัญลักษณ์ วงจรสมมูล แสดงดังรูปที่ 3.3 และการทำงานของออร์เกตแสดงดังตารางที่ 3.3



(ก) สัญลักษณ์ของออร์เกต 2 อินพุต



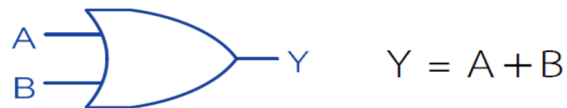
(ข) วงจรสมมูลของออร์เกต 2 อินพุต

รูปที่ 3.3 สัญลักษณ์ วงจรสมมูลของออร์เกต 2 อินพุต

ตารางที่ 3.3 การทำงานของออร์เกต 2 อินพุต

INPUT		OUTPUT Y
B	A	
0	0	0
0	1	1
1	0	1
1	1	1

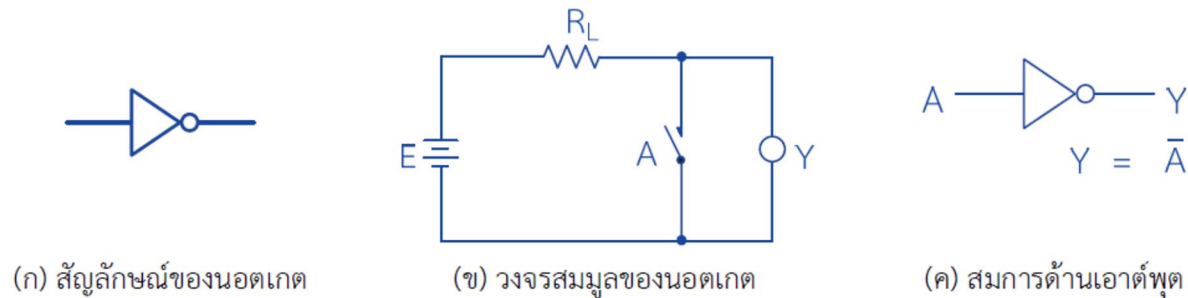
จากรูปที่ 3.3 พบว่าออร์เกต จะให้เอาต์พุตเป็น "1" เมื่ออินพุตตัวใดตัวหนึ่งหรือทั้งหมดเป็น "1" สามารถเขียนเป็นสมการหรือฟังก์ชันการทำงานของออร์เกต แสดงดังรูปที่ 3.4



รูปที่ 3.4 สมการด้านเอาต์พุตของออร์เกต

3.1.3 นอตเกต (Not gate) หรือ Inverter gate

นอตเกตเป็นอุปกรณ์ดิจิทัลที่ใช้แทนการกระทำในลักษณะกลับสัญญาณให้มีค่าเป็นตรงกันข้ามกับอินพุต บางครั้งเรียกว่า อินเวอร์เตอร์ (Inverter) ดังนั้น นอตเกตจึงมีเพียง 1 อินพุต และมี 1 เอาต์พุตเท่านั้น สัญลักษณ์ วงจรสมมูล แสดงดังรูปที่ 3.5 การทำงานของนอตเกต แสดงดังตารางที่ 3.4



รูปที่ 3.5 สัญลักษณ์ วงจรสมมูล สมการด้านเอาต์พุตของนอตเกต
ตารางที่ 3.4 การทำงานของนอตเกต

INPUT	OUTPUT
A	Y
0	1
1	0

3.1.4 แนนด์เกต (NAND gate)

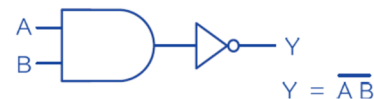
แนนนด์เกต เป็นอุปกรณ์ดิจิทัลที่ใช้แทนการกระทำในลักษณะตรงกันข้ามกับแอนด์เกต จึงคล้ายกับการนำนอตเกต มาต่อเข้ากับเอาต์พุตของแอนด์เกต แสดงดังรูปที่ 3.6 เกตชนิดนี้มีจำนวนอินพุตตั้งแต่ 2 อินพุตขึ้นไป มี 1 เอาต์พุต



(ก) สัญลักษณ์ของแนนนด์เกต 2 อินพุต



(ข) วงจรสมมูลของแนนนด์เกต 2 อินพุต



(ค) สมการด้านเอาต์พุต

รูปที่ 3.6 สัญลักษณ์ วงจรสมมูล สมการด้านเอาต์พุตของแนนนด์เกต 2 อินพุต

ตารางที่ 3.5 การทำงานของแนนนด์เกต

INPUT		OUTPUT
B	A	Y
0	0	1
0	1	1
1	0	1
1	1	0

3.1.5 นอร์เกต (NOR gate)

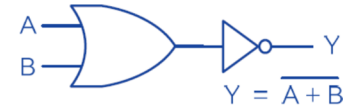
นอร์เกตเป็นอุปกรณ์ดิจิทัลที่ใช้แทนการกระทำในลักษณะตรงกันข้ามกับออร์เกต ดังนั้นจึงคล้ายกับการนำ Not gate มาต่อด้านเอาต์พุตของ OR gate นั่นเอง



(ก) สัญลักษณ์ของนอร์เกต 2 อินพุต



(ข) วงจรสมมูลของนอร์เกต 2 อินพุต



(ค) สมการด้านเอาต์พุต

รูปที่ 3.7 สัญลักษณ์ วงจรสมมูล และสมการด้านเอาต์พุตของนอร์เกต
ตารางที่ 3.6 การทำงานของนอร์เกต 2 อินพุต

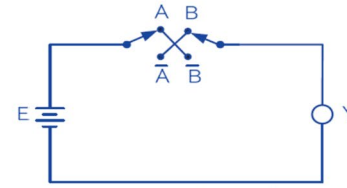
INPUT		OUTPUT
B	A	Y
0	0	1
0	1	0
1	0	0
1	1	0

3.1.6 เอ็กส์คลูซีฟออร์เกต (Exclusive OR gate)

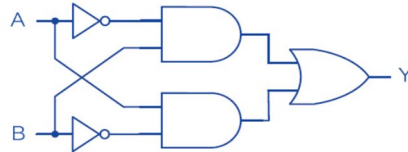
เอ็กส์คลูซีฟออร์เกต เป็นลอจิกเกตที่ใช้แทนการเปรียบเทียบสัญญาณอินพุต มีสัญลักษณ์และการทำงานแสดงดังรูปที่ 3.8



(ก) สัญลักษณ์ของเอ็กซ์คลูซีฟพอร์เกต



(ข) วงจรสมมูลของเอ็กซ์คลูซีฟพอร์เกต



(ค) โครงสร้างของเอ็กซ์คลูซีฟพอร์เกต

$$Y = \overline{A}B + A\overline{B}$$

หรือ $Y = A \oplus B$

(ง) สมการด้านเอาต์พุตของเอ็กซ์คลูซีฟพอร์เกต

รูปที่ 3.8 สัญลักษณ์ วงจรสมมูล โครงสร้างและสมการด้านเอาต์พุตของเอ็กซ์คลูซีฟพอร์เกต

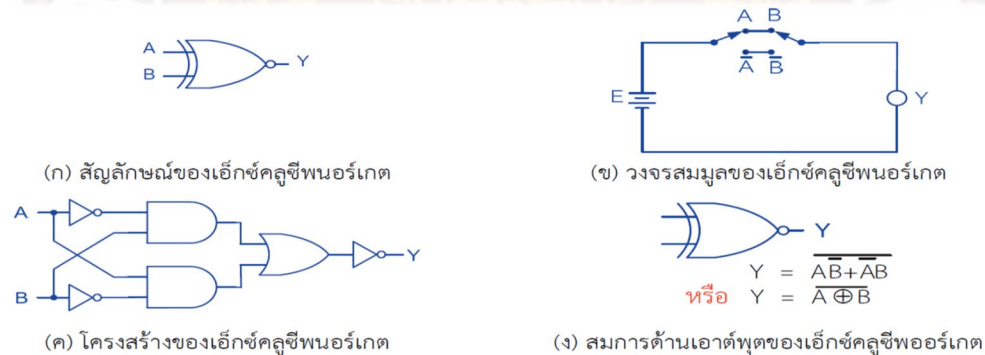
ตารางที่ 3.6 การทำงานของเอ็กซ์คลูซีฟพอร์เกต 2 อินพุต

INPUT		OUTPUT
B	A	Y
0	0	0
0	1	1
1	0	1
1	1	0

จากรูปที่ 3.8 พบว่าเอาต์พุตของเอ็กส์คลูซีฟพอร์เกต จะเป็น "1" เมื่ออินพุต A และ B มีค่าระดับลอจิกต่างกัน แต่ถ้าอินพุตเหมือนกันจะให้เอาต์พุตเป็น "0"

3.1.7 เอ็กส์คลูซีฟนอร์เกต (Exclusive NOR gate)

เอ็กส์คลูซีฟนอร์เกต เป็นอุปกรณ์ลอจิกเกตที่ใช้แทนการเปรียบเทียบสัญญาณอินพุตเช่นเดียวกับเอ็กส์คลูซีฟพอร์เกต แต่จะให้ผลตรงกันข้าม กล่าวคือเมื่ออินพุตเหมือนกันจะทำให้เอาต์พุตมีค่าเป็น "1" แต่ถ้าอินพุตต่างกันจะทำให้เอาต์พุต มีค่าเป็น "0" สัญลักษณ์และการทำงานของเอ็กส์คลูซีฟนอร์เกต ดังรูปที่ 3.9



รูปที่ 3.9 สัญลักษณ์ วงจรสมมูล โครงสร้างและสมการด้านเอาต์พุตของเอ็กส์คลูซีฟพอร์เกต

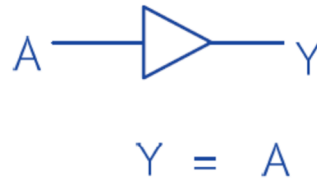
ตารางที่ 3.7 การทำงานของเอ็กส์คลูซีฟพอร์เกต 2 อินพุต

INPUT		OUTPUT
B	A	Y
0	0	1
0	1	0
1	0	0
1	1	1

จากตารางการที่ 3.7 พบว่าเอาต์พุตของ เอ็กซ์คลูซีฟนอร์เกต จะเป็น "1" เมื่ออินพุต A และ B มีค่าเหมือนกัน แต่ถ้าอินพุตต่างจะให้เอาต์พุตเป็น "0"

3.1.8 บัฟเฟอร์ (Buffer)

บัฟเฟอร์ เป็นอุปกรณ์ในระบบดิจิทัล จะให้เอาต์พุตเหมือนกับอินพุต แต่มีประโยชน์สำหรับยกระดับสัญญาณให้มีแรงดันไฟฟ้าสูงขึ้นและช่วยแก้ปัญหาที่เกิดจากการหน่วงสัญญาณ (Propagation delay time)



รูปที่ 3.10 สัญลักษณ์และสมการเอาต์พุตของบัฟเฟอร์
ตารางที่ 3.8 ตารางการทำงานของบัฟเฟอร์

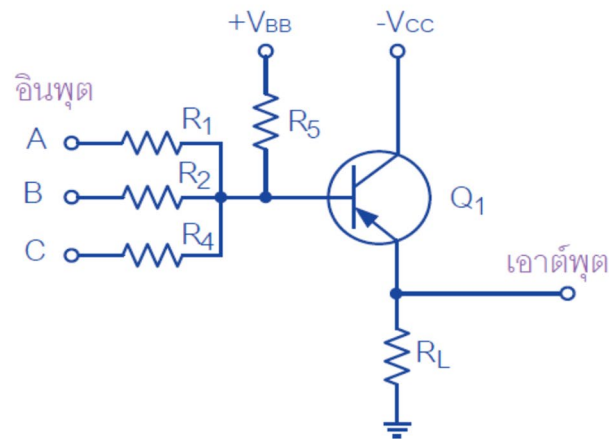
INPUT A	OUTPUT Y
0	0
1	1

3.2 ตรรกะของลอจิกเกต

การใช้งานอุปกรณ์ประเภทลอจิกเกตอย่างมีประสิทธิภาพนั้นผู้ใช้งานหรือผู้ออกแบบวงจรลอจิก จะต้องรู้ลักษณะสมบัติของอุปกรณ์ลอจิกเกตเหล่านั้นด้วย

3.2.1 ลอจิกเกตตระกูล RTL

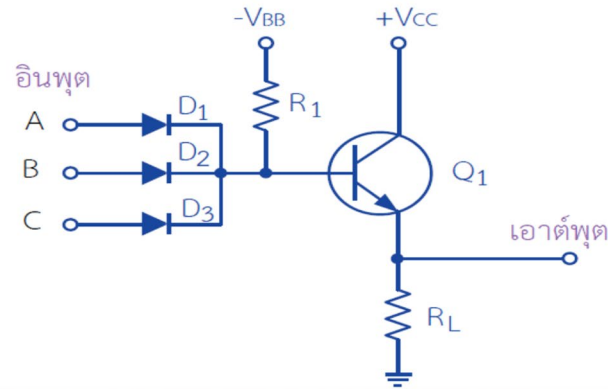
ลอจิกเกตตระกูล RTL (Resistor transistor logic) เป็นลอจิกเกตที่วงจรด้านอินพุตมีตัวต้านทานต่อรับสัญญาณและมีทรานซิสเตอร์เป็นสวิตช์ ส่วนเอาต์พุตต่อออกจากขาของทรานซิสเตอร์ที่มี R_L เป็นโหลด แสดงดังรูปที่ 3.11



รูปที่ 3.11 โครงสร้างของลอจิกเกตตระกูล RTL

3.2.2 ลอจิกเกตตระกูล DTL

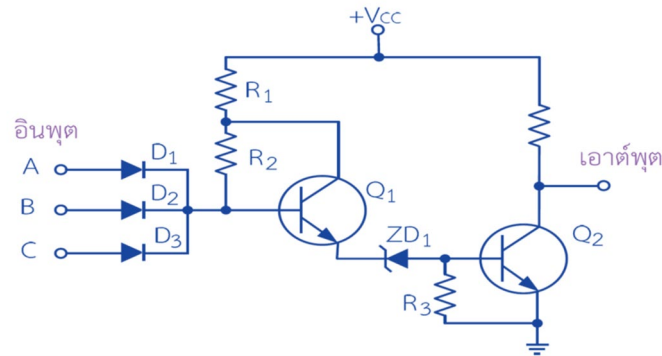
ลอจิกเกตตระกูล DTL (Diode transistor logic) เป็นลอจิกเกตที่อินพุตมีไดโอดต่อรับสัญญาณและทรานซิสเตอร์เป็นสวิตช์ ส่วนเอาต์พุตต่อออกจากขาทรานซิสเตอร์ที่มี R_L เป็นโหลด แสดงดังรูปที่ 3.12



รูปที่ 3.12 โครงสร้างของลอจิกเกตตระกูล DTL

3.2.3 ลอจิกเกตตระกูล HTL

ลอจิกเกตตระกูล HTL (High threshold logic) เป็นลอจิกเกตที่อินพุตมีไดโอดต่อรับสัญญาณและมีทรานซิสเตอร์ Q_1 เป็นสวิตช์ ส่วนเอาต์พุตต่อออกจากขาทรานซิสเตอร์ Q_2 ที่มี R_L เป็นโหลด ระหว่างขา E ของ Q_1 กับขา B ของ Q_2 จะมีซีเนอร์ไดโอด Z_{D1} เพื่อรักษาระดับของค่าคงที่ Threshold แสดงดังรูปที่ 3.13



รูปที่ 3.13 โครงสร้างของลอจิกเกตตระกูล HTL

3.2.4 ลอจิกเกตตระกูล TTL

ลอจิกเกตตระกูล TTL (Transistor transistor logic) เป็นอุปกรณ์ลอจิกที่มีโครงสร้างที่ใช้ทรานซิสเตอร์ทั้งด้านอินพุตและเอาต์พุต อุปกรณ์ประเภทนี้ยังแบ่งย่อยตามการพัฒนาเพื่อให้ลักษณะสมบัติของลอจิกเกตนั้นๆ มีประสิทธิภาพทั้งด้านความเร็วและการประหยัดพลังงาน

1. ประเภท Standard TTL เป็นลอจิกเกตที่เป็นมาตรฐานของตระกูลนี้ ให้สังเกตที่ตัวเลขและตัวอักษรหรือที่เรียกว่าเบอร์พินพ์ไว้ที่ตัวไอซี จะขึ้นต้นด้วย 74 ตามด้วยตัวเลข 2 ถึง 3 ตัว เช่น 7400, 7402, 7404, 7408, 7432, 7486, 74154 เป็นต้น

2. ประเภท High Speed TTL เป็นอุปกรณ์ลอจิกเกต ที่พัฒนามาจาก Standard TTL เพื่อให้สามารถทำงานได้เร็วขึ้น 2 เท่า แต่มีข้อเสียคือกินกระแสมากกว่า ซึ่งไอซีประเภทนี้จะมีตัวอักษร H กำกับอยู่ เช่น 74H00, 74H02, 74H04, 74H08, 74H32, 74H86 เป็นต้น

3. ประเภท Low power TTL เป็นลอจิกเกตที่ผลิตออกมาให้ใช้กระแสต่ำลง 3 เท่า เมื่อเทียบกับ Standard TTL ไอซีประเภทนี้จะมีตัวอักษร L กำกับไว้เช่น 74L00, 74L02 74L04 74L08, 74L32, 74L86 เป็นต้น

4. ประเภท Schottky TTL เป็นอุปกรณ์ลอจิกเกตที่ออกแบบมาเพื่อให้มีความเร็วในการเป็นสวิตช์เร็วกว่าประเภท Standard TTL ถึง 3 เท่า ไอซีประเภทนี้จะมีตัวอักษร S กำกับไว้เช่น 74S00, 74S02, 74S04 เป็นต้น

5. ประเภท Low Power Schottky TTL เป็นอุปกรณ์ลอจิกเกตที่มีความเร็วสูงเท่ากับประเภท Schottky TTL แต่สามารถประหยัดกระแสได้มากกว่าประเภท Standard TTL ถึง 5 เท่า ไอซีประเภทนี้ จะมีอักษร LS กำกับไว้ เช่น 74LS00, 74LS02, 74LS04 เป็นต้น

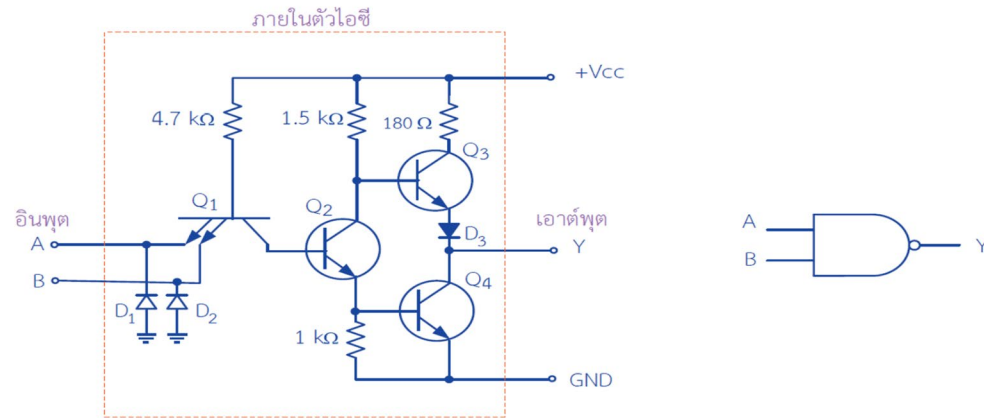
6. ประเภท Advanced Schottky TTL เป็นอุปกรณ์ลอจิกเกตที่มีความเร็วในการทำงานมากกว่าประเภท Schottky TTL ถึง 2 เท่า แต่ใช้กระแสต่ำลงครึ่งหนึ่ง ไอซีประเภทนี้จะมีตัวอักษร AS กำกับไว้ เช่น 74AS00, 74AS02, 74AS04 เป็นต้น

7. ประเภท Advanced Low-power Schottky TTL เป็นลอจิกเกตที่พัฒนาให้มีลักษณะสมบัติดีกว่าประเภท Low-power Schottky TTL ทั้งด้านความเร็วสูงขึ้น แต่ใช้กระแสต่ำลง ไอซีประเภทนี้จะมีตัวอักษร ALS กำกับไว้ เช่น 74ALS00, 74ALS02, 74ALS08 และ 74ALS193 เป็นต้น

8. ประเภท Fast TTL ลอจิกเกตประเภทนี้ถูกพัฒนาให้สามารถทำงานได้เร็วขึ้นอีก (พัฒนาโดย Texas Instrument) มีตัวอักษร F กำกับไว้เช่น 74F00, 74F02, 74F04 เป็นต้น

หมายเหตุ ข้อควรคำนึงอีกประการของการใช้งานไอซีลอจิกเกตตระกูล TTL คือ วงจรด้านเอาต์พุตของลอจิกเกตนั้น ๆ ว่าต่อลักษณะใด โดยทั่วไปจะมี 2 ลักษณะ ได้แก่

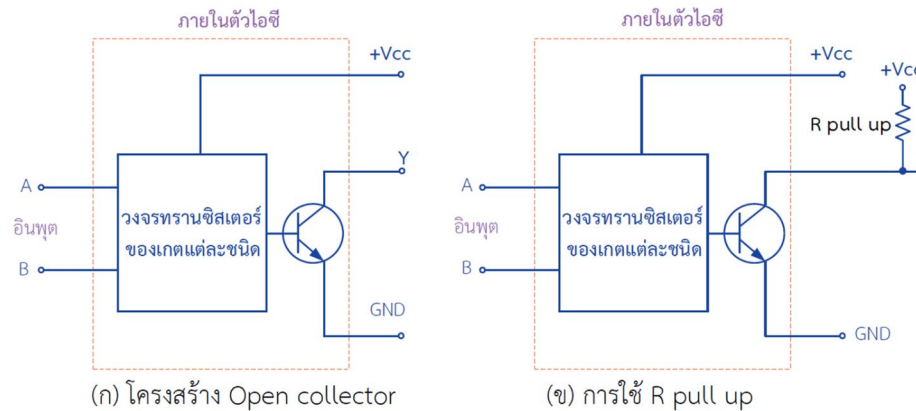
(1) เอาต์พุตแบบ Totem pole เป็นอุปกรณ์ลอจิกเกตที่จุดเอาต์พุตจะมีวงจรที่ต่อไปยัง $+V_{cc}$ อยู่ภายในทำให้มีแรงดันไฟฟ้าออกมาที่จุดเอาต์พุตสามารถนำไปใช้งานได้เลย โดยไม่ต้องมีอุปกรณ์ต่อเชื่อมเพื่อยกระดับแรงดันแสดงดังรูปที่ 3.14 ทรานซิสเตอร์ Q_3 และ Q_4 จะต่อแบบ Totem pole



รูปที่ 3.14 โครงสร้างภายในไอซีแนนด์เกตที่เอาต์พุตแบบ Totem pole

จากรูปที่ 3.14 ถ้าหากอินพุต $A = "0"$ และอินพุต $B = "0"$ ทำให้ Q_1 นำกระแส และ Q_2 ไม่นำกระแส ทำให้ Q_3 นำกระแส กระแสไหลจาก $+V_{cc}$ ผ่านตัวต้านทาน $180\text{ }\Omega$ เข้าขา C ของ Q_3 ออกที่ขา E ผ่าน Q_3 ออกไปที่เอาต์พุต Y ทำให้แรงดันไฟฟ้าที่จุดเอาต์พุตมีค่าประมาณ 4.1 V ถึง 5 V ดังนั้นเอาต์พุตแบบ Totem pole จึงมีไฟจ่ายออกมาจากไอซี แต่ถ้าหากที่อินพุต $A = "0"$, $B = "0"$ จะทำให้ทรานซิสเตอร์ Q_3 ไม่นำกระแส แต่ Q_4 นำกระแส ทำให้ค่าแรงดันที่เอาต์พุตประมาณ 0.1 V

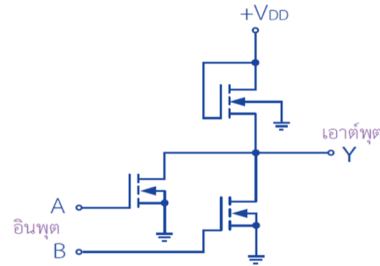
(2) เอาต์พุตแบบ Open Collector เป็นอุปกรณ์ลอจิกเกตที่จุดเอาต์พุตนั้นไม่ได้มีอุปกรณ์ใด ๆ ต่อไปยัง +Vcc โครงสร้างภายในขา C ของทรานซิสเตอร์จะต่อมายังจุดเอาต์พุต แสดงดังรูปที่ 3.15 การใช้งานจึงต้องมี R Pull up



รูปที่ 3.15 โครงสร้างเอาต์พุตแบบ Open collector

3.2.5 ลอจิกเกตตระกูล NMOS

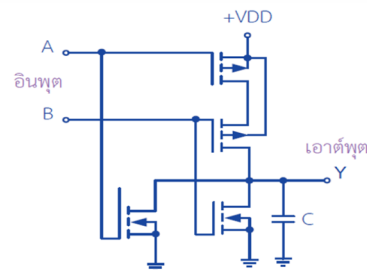
ลอจิกเกตตระกูลนี้ จะใช้อุปกรณ์ประเภท FET (Field Effect Transistor) มาเป็นสวิตช์แทนไบโพลาร์ ทรานซิสเตอร์ (BJT) ซึ่งอุปกรณ์ FET จะเป็นการนำแรงดันไปควบคุมการตัดต่อสวิตช์ (Voltage Control switch) แต่ถ้าเป็น BJT จะเป็นการใช้กระแสไปควบคุมการตัดต่อสวิตช์ (Current Control Switch) ทำให้ อุปกรณ์ลอจิกเกตตระกูล NMOS ใช้พลังงานน้อยลง ดังที่แสดงในรูปที่ 3.16



รูปที่ 3.16 โครงสร้างของนอร์เกตตระกูล NMOS

3.2.6 ลอจิกเกตตระกูล CMOS

โครงสร้างภายในอุปกรณ์ลอจิกเกตตระกูล CMOS ประกอบด้วย FET ชนิด P (PMOS) และ FET ชนิด N (NMOS) ต่อร่วมกัน วงจรด้านเอาต์พุตจะใช้ตัวเก็บประจุต่อลงกราวด์ เพื่อให้สามารถใช้กับแรงดันไฟฟ้ามากๆ ได้ แต่การต่อวงจรในลักษณะนี้จะมีข้อเสียคือจะมีคาบเวลาในการประวิงสัญญาณมาก (หน่วงเวลาเนื่องมาจากค่า C ในวงจร) แสดงดังรูปที่ 3.17



รูปที่ 3.17 วงจรนอร์เกตตระกูล CMOS

เมื่อเปรียบเทียบคุณสมบัติระหว่างลอจิกเกตตระกูล TTL กับตระกูล CMOS สามารถเปรียบเทียบได้ดังตารางที่ 3.9

ตารางที่ 3.9 ตารางเปรียบเทียบลักษณะสมบัติของ TTL กับ CMOS

ชนิด	แบบ	ลักษณะสมบัติ		
		Propagation Delay (ns)	Power/gate (mW)	Speed-power product (pJ)
CMOS	Silicon-gate CMOS ที่ 100 kHz	8	0.17	1.4
	Metal-gate CMOS ที่ 100 kHz	105	0.1	10.5
TTL	Standard TTL	10	10	100
	STTL	3	19	57
	LSTTL	10	2	20
	ASTTL	1.5	8.5	12.5
	ALSTTL	4	1	4

3.3. การเขียนสมการแบบ SOP และ POS

การเขียนฟังก์ชันจากตารางความจริงที่ใช้สำหรับออกแบบวงจรดิจิทัล สามารถเขียนสมการตั้งต้นได้ 2 วิธี ได้แก่แบบการรวมของผลคูณ (Sum of products form : SOP) และแบบการคูณของผลรวม (Products of sum form : POS) ซึ่งมีรายละเอียดดังนี้

3.3.1 การเขียนฟังก์ชันแบบการรวมของผลคูณ (SOP)

การเขียนฟังก์ชันแบบ SOP เป็นการเขียนฟังก์ชันจากตารางความจริงที่พิจารณาเฉพาะเอาต์พุตที่เป็นลอจิก 1 ตัวแปรแต่ละตัวในแถวที่เอาต์พุตเป็น 1 จะทำการ AND กัน และนำแต่ละแถวที่เอาต์พุตเป็น 1 มารวมกัน (OR) บางครั้งเรียกว่า การเขียนฟังก์ชันแบบมินเทอม (Minterm) ดังตัวอย่างในตารางที่ 3.10

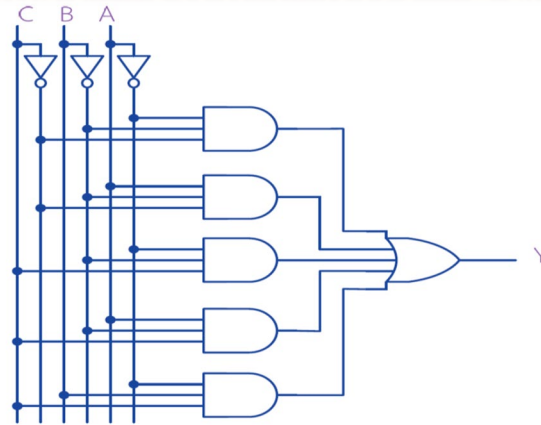
ตารางที่ 3.10 การเขียนฟังก์ชันแบบ SOP

เงื่อนไขที่	INPUT			OUTPUT	Minterm
	C	B	A	Y	
0	0	0	0	1	$\overline{C}\overline{B}\overline{A}$
1	0	0	1	1	$\overline{C}\overline{B}A$
2	0	1	0	0	
3	0	1	1	0	
4	1	0	0	1	$C\overline{B}\overline{A}$
5	1	0	1	1	$C\overline{B}A$
6	1	1	0	1	$CB\overline{A}$
7	1	1	1	0	

จากตารางที่ 3.10 พบว่าเงื่อนไขที่ให้เอาต์พุตเป็น "1" มี 5 เงื่อนไข คือ เงื่อนไขที่ 0, 1, 4, 5, และ 6 จึงสามารถเขียนเป็นฟังก์ชันลอจิกได้ ดังนี้

$$\begin{aligned}
 y &= \sum m(0, 1, 4, 5, 6) \\
 &= \overline{C}BA + C\overline{B}A + C\overline{B}\overline{A} + CBA + C\overline{B}A \\
 \therefore y &= \overline{C}BA + C\overline{B}A + C\overline{B}\overline{A} + CBA + C\overline{B}A
 \end{aligned}$$

สามารถเขียนเป็นวงจรลอจิกได้ดังนี้



รูปที่ 3.18 วงจรลอจิกจากข้อมูลในตารางที่ 3.10

3.3.2 การเขียนฟังก์ชันแบบการคูณของผลรวม (POS)

การเขียนฟังก์ชันแบบ POS เป็นการเขียนฟังก์ชันจากตารางความจริงที่พิจารณาเฉพาะเอาต์พุตที่เป็น "0" และมีเงื่อนไขต้องปรับค่าของอินพุตให้เป็นค่าตรงกันข้ามด้วย เช่น ถ้าอินพุต $A=0$ จะเขียนเป็น A ถ้าอินพุต $A=1$ จะเขียนเป็น $\bar{A}$ และนำข้อมูลในเงื่อนไขที่เอาต์พุตเป็น "0" มา OR กันภายในแถว แล้วนำแต่ละแถวมา AND กัน บางครั้งเรียกการเขียนฟังก์ชันแบบนี้ว่า การเขียนฟังก์ชันแบบแมกซ์เทอม (Maxterm) ดังตัวอย่างในตารางที่

3.11

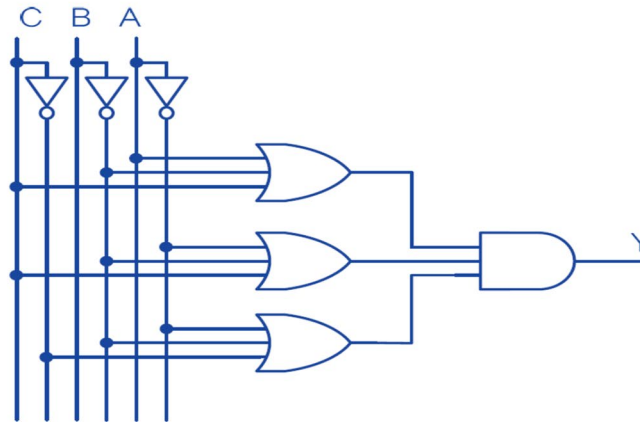
ตารางที่ 3.11 การเขียนฟังก์ชันแบบ POS

เงื่อนไขที่	INPUT			OUTPUT	Maxterm
	C	B	A	Y	
0	0	0	0	1	
1	0	0	1	1	
2	0	1	0	0	$C+\bar{B}+A$
3	0	1	1	0	$C+\bar{B}+\bar{A}$
4	1	0	0	1	
5	1	0	1	1	
6	1	1	0	1	
7	1	1	1	0	$\bar{C}+\bar{B}+\bar{A}$

จากตารางที่ 3.11 มีเอาต์พุตที่เป็น "0" จำนวน 3 เงื่อนไข ได้แก่ เงื่อนไขที่ 2, 3 และ 7 ดังนั้นจึงเขียนเป็นฟังก์ชันลอจิกได้ ดังนี้

$$\begin{aligned} y &= \pi m (2, 3, 7) \\ &= (C + \bar{B} + A) (C + \bar{B} + \bar{A}) (\bar{C} + \bar{B} + \bar{A}) \\ \therefore y &= (C + \bar{B} + A) (C + \bar{B} + \bar{A}) (\bar{C} + \bar{B} + \bar{A}) \end{aligned}$$

สามารถเขียนเป็นวงจรลอจิก ได้ดังนี้



รูปที่ 3.19 วงจรลอจิกจากฟังก์ชัน $y = (C + \bar{B} + A) (C + \bar{B} + \bar{A}) (\bar{C} + \bar{B} + \bar{A})$

3.4 การอ่านคู่มือไอซีดิจิทัล

พิจารณาข้อมูลของบริษัทผู้ผลิตไอซีลอจิกเกตเบอร์ 74L00 ในรูปที่ 3.20

DM74LS00

Quad 2-Input NAND Gate

General Description

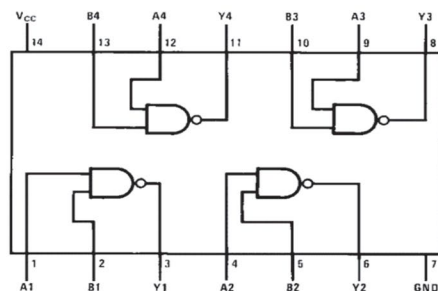
This device contains four independent gates each of which performs the logic NAND function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS00M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS00SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS00N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

รูปที่ 3.20 ข้อมูลไอซีลอจิกเกตเบอร์ 74L00 ของบริษัทผู้ผลิต

Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V _{CC}	Supply Voltage	4.75	5	5.25	V
V _{IH}	HIGH Level Input Voltage	2			V
V _{IL}	LOW Level Input Voltage			0.8	V
I _{OH}	HIGH Level Output Current			−0.4	mA
I _{OL}	LOW Level Output Current			8	mA
T _A	Free Air Operating Temperature	0		70	°C

รูปที่ 3.20 ข้อมูลไอซีลอจิกเกตเบอร์ 74L00 ของบริษัทผู้ผลิต (ต่อ)
จากข้อมูลข้อมูลของบริษัทผู้ผลิตไอซีลอจิกเกตเบอร์ 74L00 ในรูปที่ 3.20 แปลความหมายได้ดังนี้

DM74LS00 Quad 2-Input NAND Gate

General Description

This device contains four independent gates each of which performs the logic NAND function.

เบอร์ไอซีลอจิก

ภายในไอซีเป็น NAND gate
ชนิด 2 อินพุต จำนวน 4 ตัว

ขา มีขนาดเล็ก จำนวน 14 ขา
แบบ SOIC (บัดกรีลงแผ่น PCB)

Ordering Code:

Order Number	Package Number	Package Description
DM74LS00M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS00SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS00N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

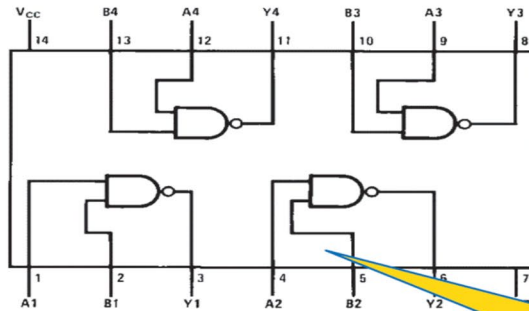
Devices are available in Tape and Reel. Specify by appending the letter "X" to the ordering code.

เบอร์ทางการค้า

โครงภายนอก มี 14 ขา แบบ ดินตะขาบ
2 แถว ตัวถังเป็นพลาสติก

รูปที่ 3.21 ข้อมูลไอซีลอจิกเกตเบอร์ 74LS00 ของบริษัทผู้ผลิต

Connection Diagram



Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

ตารางแสดงการทำงานของ
ไอซีลอจิกเกตเบอร์นี้

แสดงโครงสร้างภายในและ
การต่อไปยังตำแหน่งขา

รูปที่ 3.21 ข้อมูลไอซีลอจิกเกตเบอร์ 74L00 ของบริษัทผู้ผลิต (ต่อ)

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			-0.4	mA
I_{OL}	LOW Level Output Current			8	mA
T_A	Free Air Operating Temperature	0		70	°C

จากคู่มือด้านบนสรุปได้ดังนี้

V_{CC} : ไฟฟ้าเลี้ยงไอซี ใช้ได้ตั้งแต่ 4.75 VDC ถึง 5.25 VDC ซึ่งค่าปกติใช้ 5 VDC

V_{IH} : แรงดันอินพุตต่ำสุดที่ถือว่าเป็นลอจิก 1 คือ 2 V

V_{IL} : แรงดันอินพุตสูงสุดที่ถือว่าเป็นลอจิก 0 คือ 0.8 V

I_{OH} : กระแสเอาต์พุตสูงสุดเมื่อเอาต์พุตเป็น 1 คือ -0.4 mA (แสดงว่ากระแสไหลเข้า)

I_{OL} : กระแสเอาต์พุตสูงสุดเมื่อเอาต์พุตเป็น 0 คือ 8 Ma

T_A : อุณหภูมิสูงสุดที่สามารถทำงานได้คือ 70 องศาเซลเซียส

รายละเอียดอื่น ๆ

เงื่อนไข

ค่าปกติหรือค่ากลาง

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
V_I	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -12 \text{ mA}$			-1.5	V
V_{OH}	HIGH Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max}$ $V_{IL} = \text{Max}$	2.4	3.4		V
V_{OL}	LOW Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}$ $V_{IH} = \text{Min}$		0.2	0.4	V
I_I	Input Current @ Maximum Input Voltage	$V_{CC} = \text{Max}, V_I = 5.5 \text{ V}$			1	mA
I_{IH}	HIGH Level Input Current	$V_{CC} = \text{Max}, V_I = 2.4 \text{ V}$			40	μA
I_{IL}	LOW Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4 \text{ V}$			-1.6	mA
I_{OS}	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 3)	-18		-55	mA
I_{CCH}	Supply Current with Outputs HIGH	$V_{CC} = \text{Max}$		4	8	mA
I_{CCL}	Supply Current with Outputs LOW	$V_{CC} = \text{Max}$		12	22	mA

Note 2: All typicals are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

จากคู่มือด้านบนสรุปได้ดังนี้

I_{OSH} : กระแสเอาต์พุต = -18 mA และสูงสุด = -55 mA เมื่อวงจรเอาต์พุตชอร์ต

I_{CCH} : กระแสเอาต์พุตปกติ = 4 mA และสูงสุด = 8 mA เมื่อเอาต์พุตเป็น 1

I_{CCL} : กระแสเอาต์พุตปกติ = 12 mA และสูงสุด = 22 mA เมื่อเอาต์พุตเป็น 0

รูปที่ 3.22 ข้อมูลไอซีลอจิกเกตเบอร์ 74L00 ของบริษัทผู้ผลิต

ข้อมูลของบริษัทผู้ผลิตไอซีลอจิกเกตเบอร์ 7420

DM7420

Dual 4-Input NAND Gate

General Description

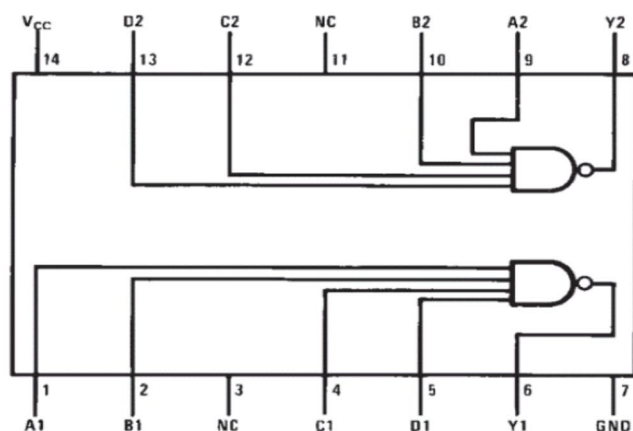
This device contains two independent gates each of which performs the logic NAND function.

Ordering Code:

Order Number	Package Number	Package Description
DM7420N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

รูปที่ 3.23 ข้อมูลไอซีลอจิกเกตเบอร์ 7420 ของบริษัทผู้ผลิต

Connection Diagram



Function Table

$$Y = \overline{ABCD}$$

Inputs				Output
A	B	C	D	Y
X	X	X	L	H
X	X	L	X	H
X	L	X	X	H
L	X	X	X	H
H	H	H	H	L

H = HIGH Logic Level
 L = LOW Logic Level
 X = Either LOW or HIGH Logic Level

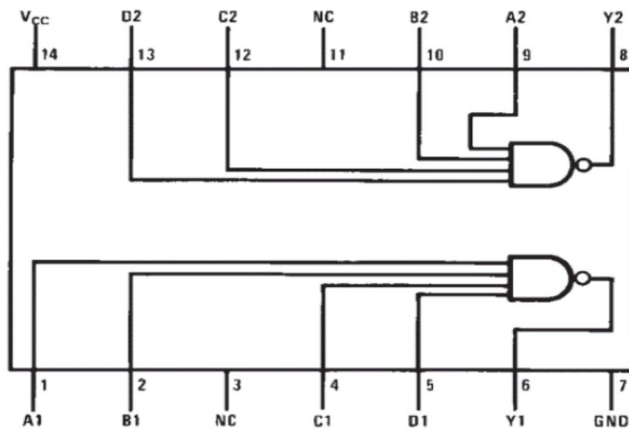
Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	5.5V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

รูปที่ 3.23 ข้อมูลไอซีลอจิกเกตเบอร์ 7420 ของบริษัทผู้ผลิต (ต่อ)

Connection Diagram



Function Table

$$Y = \overline{ABCD}$$

Inputs				Output
A	B	C	D	Y
X	X	X	L	H
X	X	L	X	H
X	L	X	X	H
L	X	X	X	H
H	H	H	H	L

H = HIGH Logic Level

L = LOW Logic Level

X = Either LOW or HIGH Logic Level

Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	5.5V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

รูปที่ 3.23 ข้อมูลไอซีลอจิกเกตเบอร์ 7420 ของบริษัทผู้ผลิต (ต่อ)

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
V_I	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -12 \text{ mA}$			-1.5	V
V_{OH}	HIGH Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max}$ $V_{IL} = \text{Max}$	2.4	3.4		V
V_{OL}	LOW Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}$ $V_{IH} = \text{Min}$		0.2	0.4	V
I_I	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 5.5\text{V}$			1	mA
I_{IH}	HIGH Level Input Current	$V_{CC} = \text{Max}, V_I = 2.4\text{V}$			40	μA
I_{IL}	LOW Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4\text{V}$			-1.6	mA
I_{OS}	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 3)	-18		-55	mA
I_{CCH}	Supply Current with Outputs HIGH	$V_{CC} = \text{Max}$		2	4	mA
I_{CCL}	Supply Current with Outputs LOW	$V_{CC} = \text{Max}$		6	11	mA

Note 2: All typicals are at $V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$.

รูปที่ 3.23 ข้อมูลไอซีลอจิกเกตเบอร์ 7420 ของบริษัทผู้ผลิต (ต่อ)

ข้อมูลของบริษัทผู้ผลิตไอซีลอจิกเกตเบอร์ 7408

DM7408

Quad 2-Input AND Gates

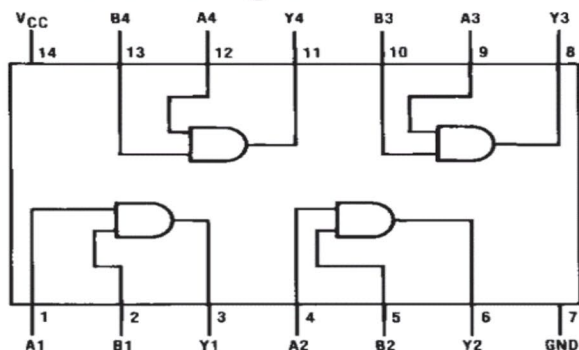
General Description

This device contains four independent gates each of which performs the logic AND function.

Ordering Code:

Order Number	Package Number	Package Description
DM7408N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Connection Diagram



Absolute Maximum Ratings (Note 1)

Supply Voltage	7V
Input Voltage	5.5V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Function Table

$$Y = AB$$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = HIGH Logic Level
L = LOW Logic Level

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			-0.8	mA
I_{OL}	LOW Level Output Current			16	mA
T_A	Free Air Operating Temperature	0		70	°C

Switching Characteristics

at $V_{CC} = 5V$ and $T_A = 25^\circ C$

Symbol	Parameter	Conditions	Min	Max	Units
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	$C_L = 15 \text{ pF}$ $R_L = 400\Omega$		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output			19	ns

รูปที่ 3.24 ข้อมูลไอซีลอจิกเกตเบอร์ 7408 ของบริษัทผู้ผลิต

ข้อมูลของบริษัทผู้ผลิตไอซีลอจิกเกตเบอร์ 74F32

74F32

Quad 2-Input OR Gate

General Description

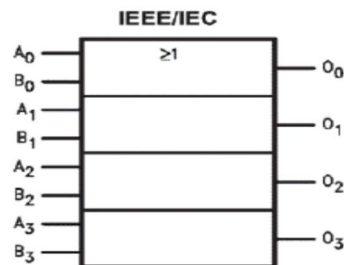
This device contains four independent gates, each of which performs the logic OR function.

Ordering Code:

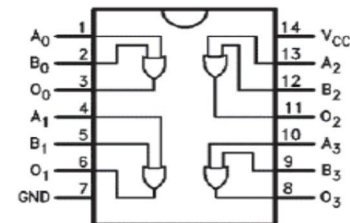
Order Number	Package Number	Package Description
74F32SC	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
74F32SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
74F32MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
74F32PC	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Logic Symbol



Connection Diagram



รูปที่ 3.25 ข้อมูลไอซีลอจิกเกตเบอร์ 7432 ของบริษัทผู้ผลิต

Unit Loading/Fan Out

Pin Names	Description	U.L. HIGH/LOW	Input I_{IH}/I_{IL} Output I_{OH}/I_{OL}
A_n, B_n	Inputs	1.0/1.0	20 μ A/–0.6 mA
O_n	Outputs	50/33.3	–1 mA/20 mA

Absolute Maximum Ratings (Note 1)

Storage Temperature	–65°C to +150°C
Ambient Temperature under Bias	–55°C to +125°C
Junction Temperature under Bias	–55°C to +150°C
V_{CC} Pin Potential to Ground Pin	–0.5V to +7.0V
Input Voltage (Note 2)	–0.5V to +7.0V
Input Current (Note 2)	–30 mA to +5.0 mA
Voltage Applied to Output in HIGH State (with $V_{CC} = 0V$)	
Standard Output	–0.5V to V_{CC}
3-STATE Output	–0.5V to +5.5V
Current Applied to Output in LOW State (Max)	twice the rated I_{OL} (mA)
ESD Last Passing Voltage (Min)	4000V

Recommended Operating Conditions

Free Air Ambient Temperature	0°C to +70°C
Supply Voltage	+4.5V to +5.5V

Note 1: Absolute maximum ratings are values beyond which the device may be damaged or have its useful life impaired. Functional operation under these conditions is not implied.

Note 2: Either voltage limit or current limit is sufficient to protect inputs.

รูปที่ 3.25 ข้อมูลไอซีลอจิกเกตเบอร์ 7432 ของบริษัทผู้ผลิต (ต่อ)

แบบทดสอบหลังเรียน



พืชคณิตบูลีนและแผนผังคาร์โนห์



แบบทดสอบก่อนเรียน



หัวข้อเรื่อง (Topics)

4.1 พืชชนิดบุลิน

4.2 แผนผังคาร์โนท์



4.1 พีชคณิตบูลีน

ทฤษฎีของบูลีน (Boolean Theory) เป็นทฤษฎีที่ใช้ในการคำนวณทางลอจิก ซึ่งใช้กับ เลขฐาน 2 ที่มีตัวแปร 0 และ 1 ร่วมกับการใช้งานของ AND Gate, OR Gate และ NOT Gate เนื่องจากเลขฐานสอง มีความสำคัญมากในทางวงจรลอจิกเกต กล่าวคือ สัญลักษณ์ 0 และ 1 จะใช้แสดงสถานะสองสถานะของวงจร หรืออุปกรณ์ดิจิทัล คอมพิวเตอร์ โดยสถานะ 0 และ 1 นี้แทนการ ON และ OFF สวิตช์ปิดสวิตช์เปิด มีแรงดันไฟฟ้าหรือไม่มีแรงดันไฟฟ้า หลักเกณฑ์ที่สำคัญของทฤษฎีบูลีนจะถูกนำมาเขียนเป็นรูปสมการของตัวแปรแทนวงจรลอจิกและสามารถเปลี่ยนรูปสมการบูลีนให้มีรูปใหม่ที่มีจำนวนเทอมและตัวแปรน้อยลง สามารถเปลี่ยนแปลงวงจรลอจิกที่มีจำนวนเกตหลายตัว มีความซับซ้อนมากให้มีขนาดน้อยลง ขณะที่ฟังก์ชันการทำงานเหมือนเดิมดังนั้นทฤษฎีของบูลีนจึงมีประโยชน์และนำไปใช้งานในการเขียนสมการแทนวงจรลอจิก และสามารถเขียนวงจรลอจิกจากสมการบูลีนได้ด้วย และสามารถลดรูปวงจรลอจิกที่มีเกตจำนวนมาก ๆ ซับซ้อนให้มีขนาดเล็กลงได้ เพื่อความประหยัดในการออกแบบ และยังสามารถลดเวลาหน่วงในการทำงานของวงจรลอจิก พีชคณิตที่ใช้ในวงจรลอจิกจะใช้ทฤษฎีของบูลีนหรือนิยามเรียกว่าพีชคณิตบูลีน (Boolean Algebra) สามารถแสดงรายละเอียดดังนี้

4.1.1 กฎการสลับที่ (Commutative law)

1. $A + B = B + A$

กฎข้อที่ 1

2. $A \cdot B = B \cdot A$

กฎข้อที่ 2

4.1.2 กฎการเปลี่ยนกลุ่ม (Associative law)

1. $(A+B)+C = A+(B+C)$

กฎข้อที่ 3

2. $(A \cdot B) \cdot C = A \cdot (B \cdot C)$

กฎข้อที่ 4

4.1.3 กฎการกระจาย (Distributive law)

1. $A \cdot (B+C) = (A \cdot B) + (A \cdot C)$

กฎข้อที่ 5

2. $A + (B \cdot C) = (A+B) \cdot (A+C)$

กฎข้อที่ 6

4.1.4 กฎการเท่ากัน

1. $A+A = A$

กฎข้อที่ 8

2. $A \cdot A = A$

กฎข้อที่ 9

4.1.5 กฎการกลับค่า (Negation law)

1. $A = A$

กฎข้อที่ 10

4.1.6 กฎการเอกลักษณ์

1. $0 \cdot A = 0$

กฎข้อที่ 11

2. $1 \cdot A = A$

กฎข้อที่ 12

3. $A \cdot A = 0$

กฎข้อที่ 13

4. $0+A = A$

กฎข้อที่ 14

5. $1+A = 1$

กฎข้อที่ 15

6. $A+A = 1$

กฎข้อที่ 16



4.1.7 กฎการลดรูป

1. $A + AB = A$

กฎข้อที่ 17

2. $A \cdot (A + B) = A$

กฎข้อที่ 18

3. $A + (\overline{A}B) = A + B$

กฎข้อที่ 19

4. $A(\overline{A} + B) = A \cdot B$

กฎข้อที่ 20

4.1.8 ทฤษฎี De Morgan

1. $\overline{A + B} = \overline{A} \cdot \overline{B}$

กฎข้อที่ 21

2. $\overline{A \cdot B} = \overline{A} + \overline{B}$

กฎข้อที่ 22

ตัวอย่างที่ 4.1 จงพิสูจน์ว่าสมการบูลีน $A \cdot B + A \cdot B \cdot C = A \cdot B$ เป็นจริง

วิธีทำ

$$F = A \cdot B + A \cdot B \cdot C$$

$$= A \cdot B \cdot (1 + C)$$

: นำตัวร่วมออก

$$= A \cdot B \cdot 1$$

: กฎข้อที่ 15

$$F = A \cdot B$$

: กฎข้อที่ 12

$\therefore A \cdot B + A \cdot B \cdot C = A \cdot B$ เป็นจริง

ตอบ

ตัวอย่างที่ 4.2 จงพิสูจน์ว่า $(A+B) \cdot (A+C) + B \cdot C = A+B \cdot C$

วิธีทำ $F = (A+B) \cdot (A+C) + B \cdot C$

$$= A \cdot A + A \cdot C + A \cdot B + B \cdot C + B \cdot C \quad : \text{กฎข้อที่ 6}$$

$$= A + A \cdot C + A \cdot B + B \cdot C + B \cdot C \quad : \text{กฎข้อที่ 18}$$

$$= A \cdot (1+B) + A \cdot C + B \cdot C \cdot (1+B \cdot C) \quad : \text{กฎข้อที่ 17}$$

$$= A + A \cdot C + B \cdot C \quad : \text{กฎข้อที่ 15}$$

$$= A \cdot (1 + C) + B \cdot C \quad : \text{กฎข้อที่ 18}$$

$$F = A + B \cdot C \quad : \text{กฎข้อที่ 15}$$

$$\therefore (A+B) \cdot (A+C) + B \cdot C = A + B \cdot C \quad \text{เป็นจริง}$$

ตอบ

ตัวอย่างที่ 4.3 จงพิสูจน์ว่า $B + A \cdot \overline{B} = A + B$

วิธีทำ $F = B + A \cdot \overline{B}$

$$= B \cdot 1 + A \cdot \overline{B} \quad : \text{กฎข้อที่ 12}$$

$$= B (1+A) + A \cdot \overline{B} \quad : \text{กฎข้อที่ 15}$$

$$= B \cdot 1 + B \cdot A + A \cdot \overline{B} \quad : \text{กฎข้อที่ 5}$$

$$= B + A \cdot (B + \overline{B}) \quad : \text{กฎข้อที่ 17}$$

$$= B + A \cdot 1 \quad : \text{กฎข้อที่ 16}$$

$$= B + A \quad : \text{กฎข้อที่ 15}$$

$$F = A + B \quad : \text{กฎข้อที่ 1}$$

$$\therefore B + A \cdot \overline{B} = A + B \quad \text{เป็นจริง}$$

ตอบ

ตัวอย่างที่ 4.4 จงลดรูปฟังก์ชัน $y = AB + A\bar{B} + \bar{A}\bar{B}$ โดยใช้พีชคณิตบูลีนและเขียนวงจรลอจิกจากฟังก์ชันก่อนและหลังการลดรูป

$$\begin{aligned}
 \text{วิธีทำ จาก } y &= AB + A\bar{B} + \bar{A}\bar{B} \\
 &= (AB + A\bar{B}) + \bar{A}\bar{B} \\
 &= A(B + \bar{B}) + \bar{A}\bar{B} \\
 &= A(B + \bar{B}) + \bar{A}\bar{B} \\
 &= A + \bar{A}\bar{B} \\
 &= A + \bar{B} \\
 \therefore y &= A + \bar{B}
 \end{aligned}$$

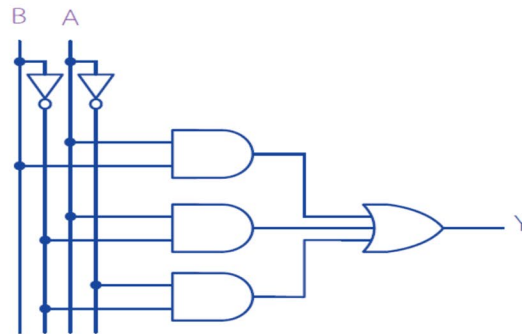
พจน์ AB และ $A\bar{B}$ มี A ร่วมกัน

$$: (B + \bar{B}) = 1 ; A \cdot 1 = A$$

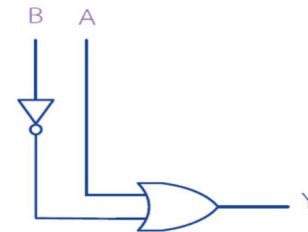
$$\text{จากกฎการลดรูป } = A + \bar{A}\bar{B} = A + \bar{B}$$

ตอบ

เขียนเป็นวงจรได้ดังนี้



(ก.) วงจรก่อนการลดรูป



(ข.) วงจรหลังการลดรูป

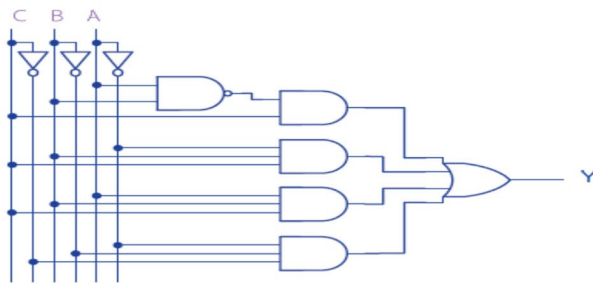
รูปที่ 4.1 วงจรลอจิกจากตัวอย่างที่ 4.4

ตัวอย่างที่ 4.5 จงลดรูปฟังก์ชัน $y = \overline{A}BC + \overline{A}BC + ABC + \overline{A}\overline{B}\overline{C}$ โดยใช้พีชคณิตบูลีนและเขียนวงจรก่อนและหลังการลดรูป

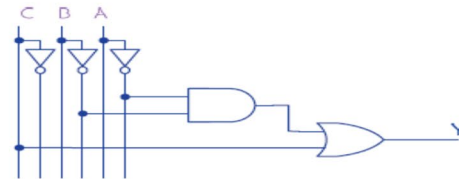
วิธีทำ y

$$\begin{aligned}
 &= \overline{A}BC + \overline{A}BC + ABC + \overline{A}\overline{B}\overline{C} \\
 &= \overline{A}\overline{B}C + ABC + \overline{A}BC + \overline{A}\overline{B}\overline{C} && \text{; สลับที่การบวก} \\
 &= (\overline{A}\overline{B}C + ABC) + \overline{A}BC + \overline{A}\overline{B}\overline{C} \\
 &= C(\overline{A}\overline{B} + AB) + \overline{A}BC + \overline{A}\overline{B}\overline{C} \\
 &= C(1) + \overline{A}BC + \overline{A}\overline{B}\overline{C} \\
 &= C + \overline{A}BC + \overline{A}\overline{B}\overline{C} \\
 &= C(1 + \overline{A}B) + \overline{A}\overline{B}\overline{C} \\
 &= C(1 + \overline{A}B) + \overline{A}\overline{B}\overline{C} && \text{; ถอด C ออกจากวงเล็บ} \\
 &= C(1) + \overline{A}\overline{B}\overline{C} && \text{; 1 + ตัวแปรใดๆ มีค่า = 1} \\
 &= C + \overline{A}\overline{B}\overline{C} \\
 &= C + \overline{A}\overline{B} && \text{; ใช้ทฤษฎีข้อ 2.7.3} \\
 \therefore y &= C + \overline{A}\overline{B} && \text{ตอบ}
 \end{aligned}$$

สามารถเขียนเป็นวงจรลอจิกได้ ดังนี้



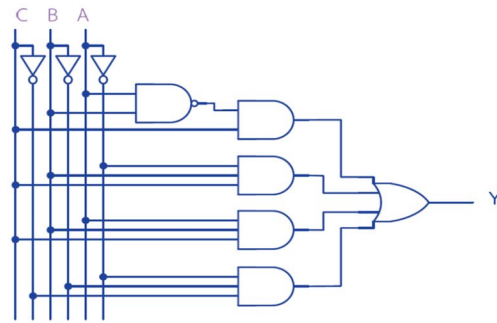
(ก) วงจรก่อนการลดรูป



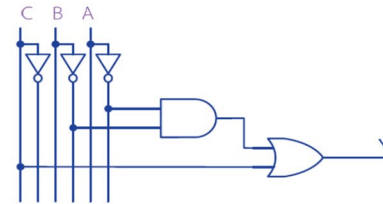
(ข) วงจรหลังการลดรูป

รูปที่ 4.2 วงจรลอจิกจากตัวอย่างที่ 4.5

สามารถเขียนเป็นวงจรลอจิกได้ ดังนี้



(ก) วงจรก่อนการลดรูป

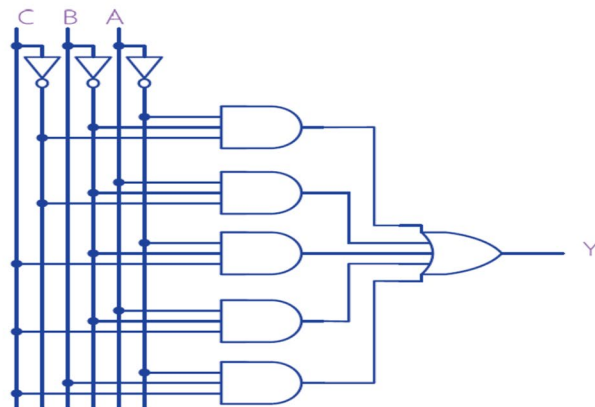


(ข) วงจรหลังการลดรูป

รูปที่ 4.2 วงจรลอจิกจากตัวอย่างที่ 4.5

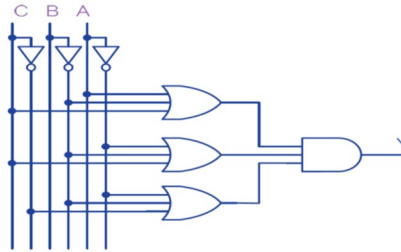
ตารางที่ 4.1 การเขียนฟังก์ชันแบบ SOP

เงื่อนไขที่	INPUT			OUTPUT Y	Minterm
	C	B	A		
0	0	0	0	1	$\overline{C}\overline{B}\overline{A}$
1	0	0	1	1	$\overline{C}\overline{B}A$
2	0	1	0	0	
3	0	1	1	0	
4	1	0	0	1	$C\overline{B}\overline{A}$
5	1	0	1	1	$C\overline{B}A$
6	1	1	0	1	$CB\overline{A}$
7	1	1	1	0	



รูปที่ 4.3 วงจรลอจิกจากข้อมูลในตารางที่ 4.1
 ตารางที่ 4.2 การเขียนฟังก์ชันแบบ POS

เงื่อนไขที่	INPUT			OUTPUT Y	Maxterm
	C	B	A		
0	0	0	0	1	
1	0	0	1	1	
2	0	1	0	0	$C + \bar{B} + A$
3	0	1	1	0	$C + \bar{B} + \bar{A}$
4	1	0	0	1	
5	1	0	1	1	
6	1	1	0	1	
7	1	1	1	0	$\bar{C} + \bar{B} + \bar{A}$



รูปที่ 4.4 วงจรลอจิกจากฟังก์ชันจากตารางที่ 4.2

ตัวอย่างที่ 4.6 จากตารางที่ 4.1 และ 4.2 จงเขียนฟังก์ชันแบบ SOP และฟังก์ชันแบบ POS แล้วใช้พีชคณิตบูลีนลดรูป แล้วเขียนวงจรลอจิกหลังจากลดรูปแล้ว และเปรียบเทียบกับวงจรในรูปที่ 4.3 และ รูปที่ 4.4 กับวงจรในรูปที่ 4.5 และ 4.6

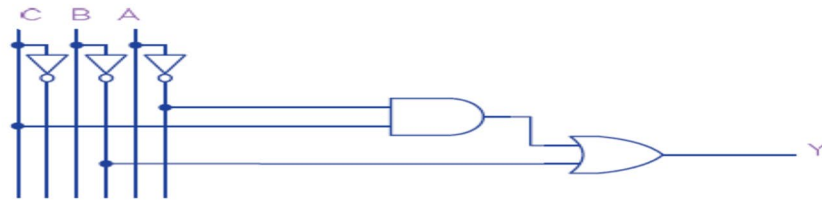
วิธีทำ

- เขียนฟังก์ชันแบบ SOP แล้วลดรูปได้ดังนี้

$$\begin{aligned}
 y &= \overline{C}\overline{B}\overline{A} + \overline{C}B\overline{A} + C\overline{B}\overline{A} + C\overline{B}A + CBA \\
 &= (\overline{C}\overline{B}\overline{A} + \overline{C}B\overline{A}) + (C\overline{B}\overline{A} + C\overline{B}A) + CBA \\
 &= \overline{C}\overline{B}(\overline{A} + A) + C\overline{B}(\overline{A} + A) + CBA \\
 &= \overline{C}\overline{B}(1) + C\overline{B}(1) + CBA \\
 &= \overline{C}\overline{B} + C\overline{B} + CBA \\
 &= \overline{B}\overline{C} + \overline{B}C + CBA \\
 &= (\overline{B}\overline{C} + \overline{B}C) + CBA \\
 &= \overline{B}(\overline{C} + C) + CBA \\
 &= \overline{B}(1) + CBA \\
 &= \overline{B} + CBA \\
 &= \overline{B} + BC\overline{A} \\
 &= \overline{B} + C\overline{A} \\
 y &= \overline{B} + C\overline{A}
 \end{aligned}$$

ตอบ

สามารถเขียนเป็นวงจรได้ ดังนี้



รูปที่ 4.5 วงจรจากฟังก์ชัน $y = \bar{B} + C\bar{A}$

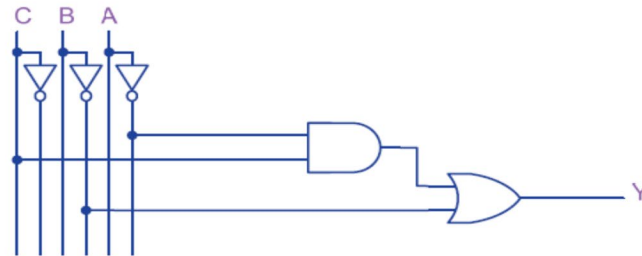
1. เขียนฟังก์ชันแบบ POS แล้วลดรูปได้ดังนี้

$$\begin{aligned}
 y &= (C + \bar{B} + A)(C + \bar{B} + \bar{A})(\bar{C} + \bar{B} + \bar{A}) \\
 &= [(C + \bar{B} + A)(C + \bar{B} + \bar{A})](\bar{C} + \bar{B} + \bar{A}) \\
 &= [(C + \bar{B} + A \cdot \bar{A})](\bar{C} + \bar{B} + \bar{A}) \\
 &= (C + \bar{B} + 0)(\bar{C} + \bar{B} + \bar{A}) \\
 y &= (C + \bar{B})(\bar{C} + \bar{B} + \bar{A}) \\
 &= C\bar{C} + C\bar{B} + C\bar{A} + \bar{C}\bar{B} + \bar{B}\bar{B} + \bar{B}\bar{A} \\
 &= 0 + C\bar{B} + C\bar{A} + \bar{C}\bar{B} + \bar{B} + \bar{B}\bar{A} \\
 &= C\bar{B} + C\bar{A} + \bar{C}\bar{B} + \bar{B} + \bar{B}\bar{A} \\
 &= C\bar{B} + C\bar{A} + \bar{C}\bar{B} + (\bar{B} + \bar{B}\bar{A}) \\
 &= C\bar{B} + C\bar{A} + \bar{C}\bar{B} + \bar{B}(1 + \bar{A}) \\
 &= C\bar{B} + C\bar{A} + \bar{C}\bar{B} + \bar{B}(1) \\
 &= C\bar{B} + C\bar{A} + \bar{C}\bar{B} + \bar{B} \\
 &= C\bar{B} + C\bar{A} + (\bar{C}\bar{B} + \bar{B}) \\
 &= C\bar{B} + C\bar{A} + \bar{B}(\bar{C} + 1) \\
 &= C\bar{B} + C\bar{A} + \bar{B}(1)
 \end{aligned}$$

$$\begin{aligned}
 &= C\bar{B} + C\bar{A} + \bar{B} \\
 &= C\bar{B} + \bar{B} + C\bar{A} \\
 &= (C\bar{B} + \bar{B}) + C\bar{A} \\
 &= \bar{B}(C + 1) + C\bar{A} \\
 &= \bar{B}(1) + C\bar{A} \\
 &= \bar{B} + C\bar{A} \\
 \therefore y &= \bar{B} + C\bar{A}
 \end{aligned}$$

ตอบ

สามารถเป็นเขียนวงจรได้ดังนี้



รูปที่ 4.6 วงจรจากฟังก์ชัน $y = \bar{B} + C\bar{A}$

การเปรียบเทียบ

1. จากวงจรในรูปที่ 4.2 และ 4.3 เป็นวงจรที่ยังไม่ลดรูป จะพบว่ามีขนาดใหญ่กว่าและใช้อุปกรณ์มากกว่าวงจรในรูปที่ 4.5 และ 4.6 ตามลำดับ
2. วงจรในรูปที่ 3.22 ซึ่งได้จากการเขียนฟังก์ชันแบบ SOP จะเหมือนกับวงจรในรูปที่ 3.23 ซึ่งได้จากการเขียนฟังก์ชันแบบ POS จึงสรุปว่าไม่ว่าจะเขียนฟังก์ชันแบบใดก็ตามจากตารางความจริงเดียวกันเมื่อลดรูปแล้ว สามารถออกแบบวงจรลอจิกได้เหมือนกัน ตอบ

4.2 แผนผังคาร์โนห์

การลดรูปสมการลอจิกโดยใช้ทฤษฎีพีชคณิตบูลีน จะใช้เฉพาะวงจรที่มีจำนวนตัวแปรไม่มากนัก และเงื่อนไขไม่ยากนัก แต่หากวงจรมีจำนวนตัวแปรและเงื่อนไขมากแล้วใช้หลักการของพีชคณิตบูลีน อาจจะทำให้ยากและเกิดข้อผิดพลาดได้ง่าย ดังนั้นการลดรูปสมการลอจิก จึงนิยมใช้แผนผังคาร์โนห์ ซึ่งสามารถใช้ได้ทั้งการเขียนสมการแบบ SOP และ POS แต่ในที่นี้จะกล่าวเฉพาะแบบ SOP เท่านั้น

4.2.1 จำนวน cell ของ k-map

จำนวน Cell ของ k-map จะขึ้นอยู่กับจำนวนตัวแปรของฟังก์ชันนั้นๆ ซึ่งจะเท่ากับ 2^n เมื่อ n = จำนวนตัวแปรของฟังก์ชันลอจิก เช่น

มี 1 ตัวแปรจำนวน Cell = $2^1 = 2$ Cell

มี 2 ตัวแปรจำนวน Cell = $2^2 = 4$ Cell

มี 3 ตัวแปรจำนวน Cell = $2^3 = 8$ Cell

มี 4 ตัวแปรจำนวน Cell = $2^4 = 16$ Cell

มี 10 ตัวแปรจำนวน Cell = $2^{10} = 1024$ Cell

4.2.2 การสร้างแผนผังและใช้งาน K-map แก่ฟังก์ชันเอาต์พุต

การสร้างแผนผัง K-map สำหรับแก่งฟังก์ชันเอาต์พุต ให้คำนึงถึงจำนวนช่องของตารางที่จะสร้างขึ้น จะต้องเท่ากับจำนวนเงื่อนไขตามจำนวนตัวแปร เช่น

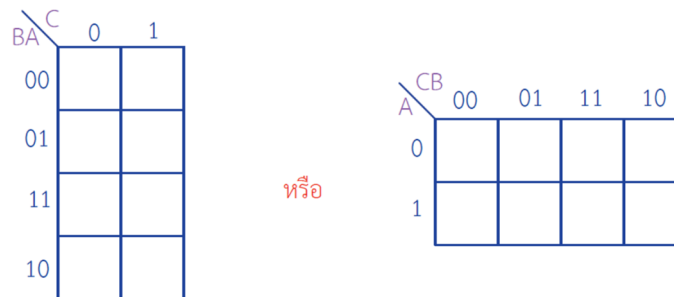
1. ตาราง K-map สำหรับ 2 ตัวแปร คือ A และ B สามารถสร้างได้ดังนี้



รูปที่ 4.7 ตาราง K-map สำหรับ 2 ตัวแปร

2. ตาราง K-map สำหรับ 3 ตัวแปร คือ A ,B และ C

จำนวนช่องของตาราง = $2^3 = 8$ ช่อง สามารถสร้างตารางได้ดังนี้



รูปที่ 4.8 ตาราง K-map สำหรับ 3 ตัวแปร

3. ตารางสำหรับ 4 ตัวแปร

จำนวนช่องของตาราง = $2^4 = 16$ ช่อง สามารถสร้างตารางได้ดังนี้

DC \ BA	00	01	11	10
00				
01				
11				
10				

รูปที่ 4.9 ตาราง k-map สำหรับ 4 ตัวแปร

4.2.3 การใช้งาน K-map

การนำค่าจากสมการหรือค่าจากตารางความจริงลงไปในช่วงของตาราง K-map ให้พิจารณา ดังนี้ นำเอาต์พุตที่เป็นลอจิก 1 มาใช้งาน หรือการเขียนสมการแบบ SOP (หรือแบบ Minterm) ถ้าตัวแปรนั้นมีเครื่องหมาย (บาร์) ที่ตัวแปรให้ดูช่องที่ตัวแปรนั้นเป็นเลข 0 ถ้าเป็นตัวอักษรปกติ ให้ดูช่องที่ตัวแปรนั้นเป็น 1 แล้วใส่เลข 1 ลงในช่วงของตาราง K-map นั้น ๆ

การลดรูป Boolean Expression หรือ Switching Function โดยใช้ K-map มีวิธีการดังนี้

1. ใส่ Minterm (logical 1) หรือ Maxterm (logical 0) ลงใน K-map ตามช่วงของค่าของสมการ (ใช้เพียงอย่างใดอย่างหนึ่ง)

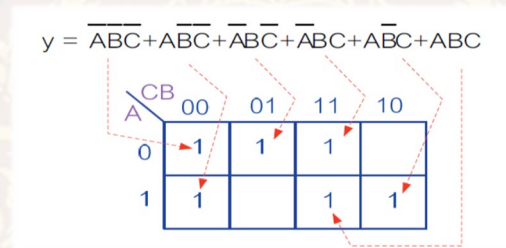
2. จับคู่ที่อยู่ติดกัน โดยมีหลักเกณฑ์ที่ว่าจับคู่ได้ครั้งละ 2^n ตัว คือ 1 ตัว, 2 ตัว, 4 ตัว, 8 ตัว, 16 ตัว และ 32 ตัว

3. การจับคู่จะต้องจับคู่ให้มากที่สุด เช่น ถ้าจับคู่ได้ 8 ตัว ก็อย่าไปจับคู่แบบ 4 ตัว 2 ครั้ง เพราะจะทำให้ผลลัพธ์ที่ได้มีค่าไม่น้อยที่สุด

4. ตัวที่ถูกจับคู่ไปแล้ว ก็สามารถนำไปจับคู่กับตัวอื่นอีกก็ได้ถ้าจำเป็น

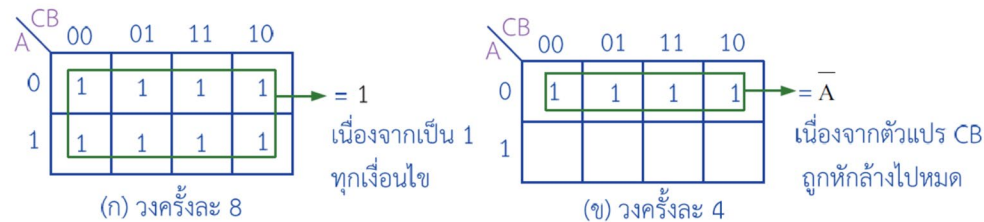
5. เมื่อจับคู่ได้แล้วก็ดำเนินการหาผลลัพธ์ วิธีการหาผลลัพธ์ทำได้โดย นำตัวที่จับคู่นั้นมองดูค่าทางด้านบนและด้านข้าง โดยค่าที่ซ้ำกันคือผลลัพธ์ที่ต้องการ

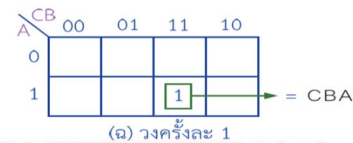
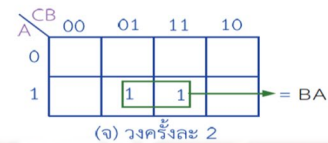
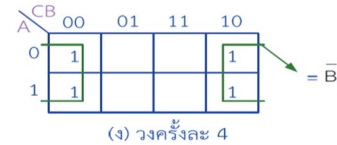
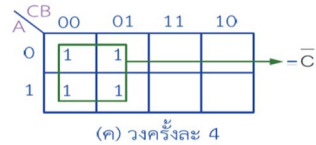
การนำ ค่าสมการลงใน K-map การนำ $y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + A\overline{B}C + AB\overline{C}$ ซึ่งเป็นสมการแบบ SOP (ใช้ค่าเอาต์พุตที่เป็น "1") ลงในตาราง K-map ให้นำค่า 1 ลงในตารางให้ถูกช่อง ตัวอย่างดังรูปที่ 4.10



รูปที่ 4.10 การนำค่าจากสมการลอจิกลงใน K-map

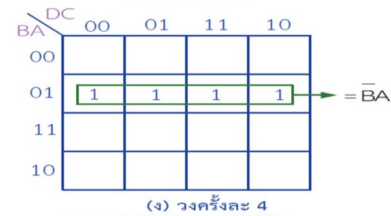
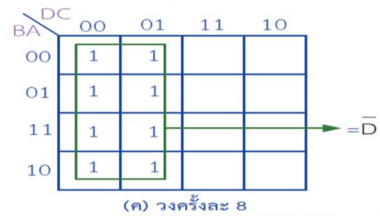
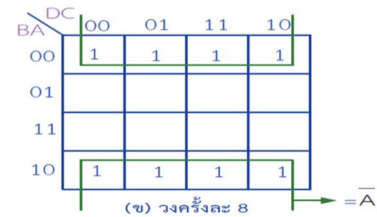
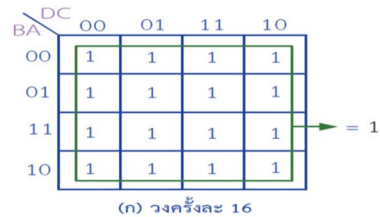
การหาผลลัพธ์ของ K-map ชนิด 3 ตัวแปร



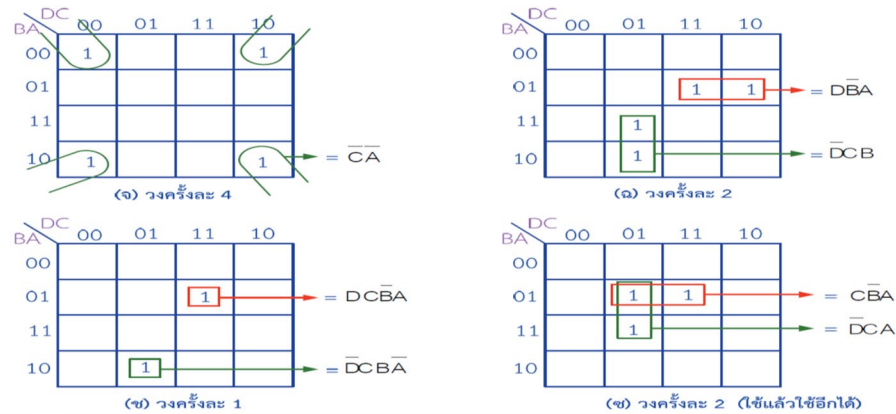


รูปที่ 4.11 ตัวอย่างการใช้ตาราง K-map เพื่อลดสมการของวงจรลอจิก 3 ตัวแปร

ผัง K-map สำหรับ 4 ตัวแปร



รูปที่ 4.12 ตัวอย่างการใช้ตาราง K-map เพื่อลดสมการของวงจรลอจิก 4 ตัวแปร



รูปที่ 4.13 ตัวอย่างการใช้ตาราง K-map เพื่อลดสมการของวงจรลอจิก 4 ตัวแปร (ต่อ)

ตัวอย่างที่ 4.7 จากตารางความจริงต่อไปนี้ จงออกแบบวงจรลอจิกที่ใช้อุปกรณ์น้อยที่สุด โดยใช้แผนผังคาร์โนห์

ตารางที่ 4.3 ตารางความจริงสำหรับตัวอย่างที่ 4.7

INPUT			OUTPUT Y
C	B	A	
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

จากตารางที่ 4.2 สามารถเขียนสมการได้ดังนี้

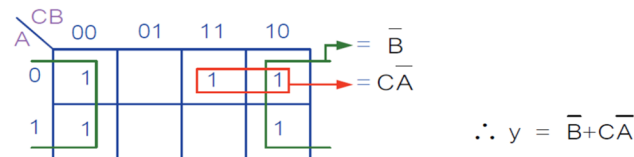
$$Y = \overline{C}BA + \overline{C}\overline{B}A + C\overline{B}A + CBA + C\overline{B}\overline{A}$$

เขียนตาราง K-map ได้ดังนี้

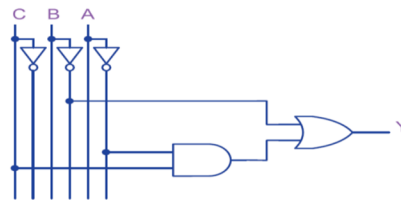
$\backslash CB$	00	01	11	10
A 0	1		1	1
1	1			1

รูปที่ 4.14 ผังคาร์โนห์ของตัวอย่างที่ 4.7

จากตาราง K-map ในรูปที่ 4.14 พบว่าเพื่อให้วงจรมีขนาดเล็กและใช้จำนวนลอจิกเกตน้อยสามารถวงเป็นกลุ่มได้ที่ละ 4 ช่อง จำนวน 1 วง และวงที่ละ 2 ช่อง จำนวน 1 วง ดังนี้



รูปที่ 4.15 การลดรูปโดยผังคาร์โนห์ของตัวอย่างที่ 4.7



รูปที่ 4.16 วงจรลอจิกจากฟังก์ชัน $y = \overline{B} + \overline{C}A$

ตัวอย่างที่ 4.8 จงหาค่าฟังก์ชันเอาต์พุตจากแผนผังคาร์โนห์ต่อไปนี้

n)

	DC			
BA	00	01	11	10
00		1	1	1
01		1	1	1
11		1		
10		1		

ข)

	DC			
BA	00	01	11	10
00	1			1
01	1		1	1
11			1	
10		1		

รูปที่ 4.17 ผังคาร์โนห์ของตัวอย่างที่ 4.8

วิธีทำ ก)

BA \ DC	00	01	11	10
	00	1	1	1
01		1	1	1
11		1		
10		1		

$\rightarrow = D\bar{B}$
 $\rightarrow = \bar{D}C$

$\therefore Y = \bar{D}C + D\bar{B}$

รูปที่ 4.18 การลดรูปโดยผังคาร์โนห์ของตัวอย่างที่ 2 ข้อ ก)

$$\therefore Y = \bar{D}C + D\bar{B} \quad \text{ตอบ}$$

ข)

	DC	00	01	11	10	
BA	00	1			1	$\rightarrow = \overline{CB}$ $\rightarrow = DCA$ $\rightarrow = \overline{D}CBA$
01	1		1	1		
11				1		
10		1				

$\therefore Y = \overline{CB} + DCA + \overline{D}CBA$

รูปที่ 4.19 การลดรูปโดยผังคาร์โนห์ของตัวอย่างที่ 4.8 ข้อ ข

$$\therefore Y = \bar{C}B + DCA + \bar{D}CBA \quad \text{ตอบ}$$

ตัวอย่างที่ 4.9 ตารางความจริงตารางที่ 4.4 จงออกแบบวงจรลอจิก โดยใช้แผนผังคาร์โนห์แล้วเขียน
วงจรลอจิกที่ออกแบบได้

ตารางที่ 4.4 ตารางความจริงตามตัวอย่างที่ 4.9

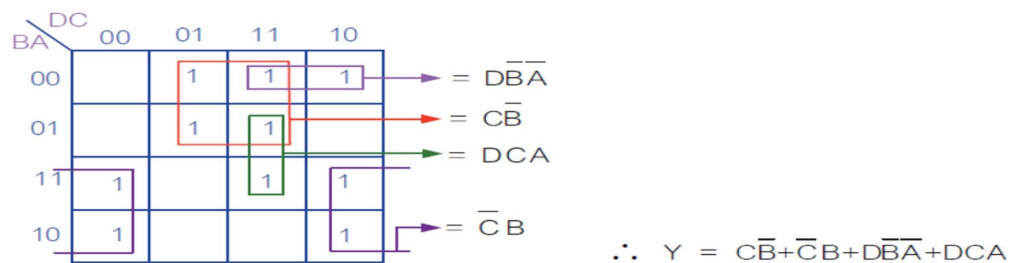
INPUT				OUTPUT	สมการ แบบ SOP
D	C	B	A	Y	
0	0	0	0	0	
0	0	0	1	0	
0	0	1	0	1	$\overline{D}\overline{C}B\overline{A}$
0	0	1	1	1	$\overline{D}\overline{C}BA$
0	1	0	0	1	$\overline{D}C\overline{B}\overline{A}$
0	1	0	1	1	$\overline{D}C\overline{B}A$
0	1	1	0	0	
0	1	1	1	0	
1	0	0	0	1	$\overline{D}C\overline{B}\overline{A}$
1	0	0	1	0	
1	0	1	0	1	$D\overline{C}\overline{B}\overline{A}$
1	0	1	1	1	$D\overline{C}\overline{B}A$
1	1	0	0	1	$D\overline{C}B\overline{A}$
1	1	0	1	1	$D\overline{C}BA$
1	1	1	0	0	
1	1	1	1	1	$DCBA$

วิธีทำ

จากตารางที่ 4.4 เขียนเป็นวงจรได้ดังนี้

$$Y = \overline{D}\overline{C}B\overline{A} + \overline{D}\overline{C}BA + \overline{D}C\overline{B}\overline{A} + \overline{D}C\overline{B}A + \overline{D}CBA\overline{A} + \overline{D}CBA + D\overline{C}\overline{B}\overline{A} + D\overline{C}\overline{B}A + DC\overline{B}\overline{A} + DC\overline{B}A + DCBA$$

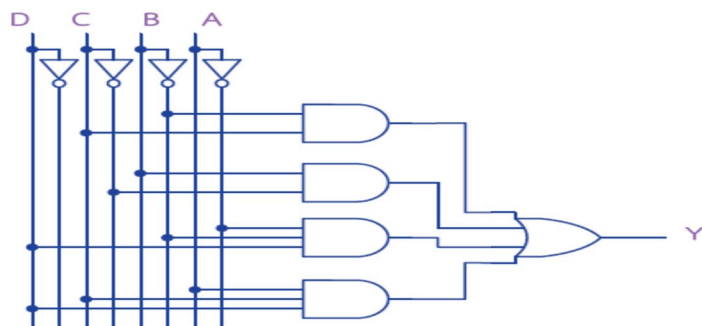
นำมาลงในแผนผังคาร์โนห์ได้ดังนี้



รูปที่ 4.20 การลดรูปโดยผังคาร์โนห์ของตัวอย่างที่ 4.9

$$\therefore Y = C\overline{B} + \overline{C}\overline{B} + D\overline{B}\overline{A} + DCA$$

เขียนเป็นวงจรได้ดังนี้



รูปที่ 4.21 วงจรลอจิกจากฟังก์ชัน $Y = C\overline{B} + \overline{C}\overline{B} + D\overline{B}\overline{A} + DCA$

4.5.4 เทอมที่ไม่สนใจ (Don't care term)

เทอมที่ไม่สนใจ เป็นเงื่อนไขที่ไม่สำคัญในตารางความจริง หมายถึง เอาต์พุตที่จุดนี้จะเป็น "0" หรือ "1" ก็ได้ ให้ใส่ 1 ถ้าหากเห็นว่ามิประโยชน์และทำให้สามารถวงได้หลายช่อง เพื่อให้สามารถลดรูปวงจรให้เล็กลง แต่ถ้าเห็นว่าไม่มีประโยชน์ให้ใส่ 0 เช่น

ตารางที่ 4.5 ตารางเมื่อเอาต์พุตกำหนดเป็น Don't care term

INPUT				OUTPUT
D	C	B	A	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	d
1	0	1	1	d
1	1	0	0	d
1	1	0	1	d
1	1	1	0	d
1	1	1	1	d

จากตารางที่ 4.5 ลดรูปสมการโดยใช้ K-map ได้ดังรูปที่ 4.22

DC \ BA	00	01	11	10
00	1	1	d	1
01	0	0	d	1
11	0	0	d	d
10	0	0	d	d

รูปที่ 4.22 ผังคาร์โนห์ที่มีเทอมที่ไม่สนใจ

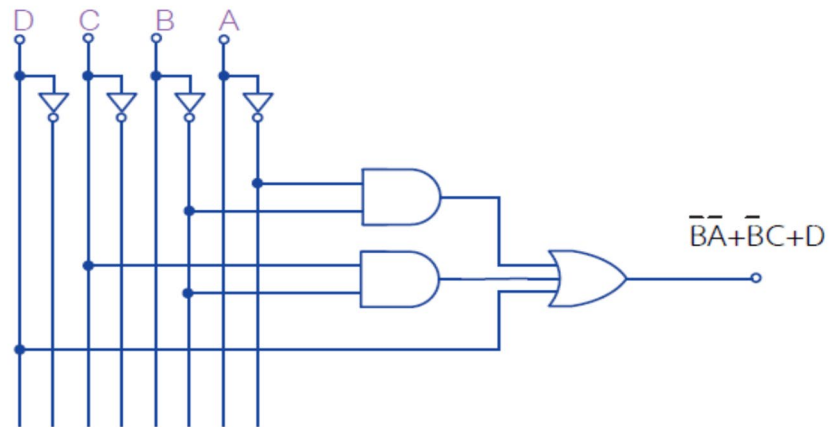
จากแผนผังคาร์โนห์ด้านบนพบว่าเทอมที่ไม่สนใจของตารางด้านบน 2 ช่อง ประชิดกับ "1" ทั้งสองด้าน ถ้าหากจุดนี้เป็น "1" จะทำให้วงจรเล็กลง ส่วนตัวอื่น ๆ ให้เป็น "0"

DC \ BA	00	01	11	10
00	1	1	1	1
01	0	1	1	1
11	0	0	1	1
10	0	0	1	1

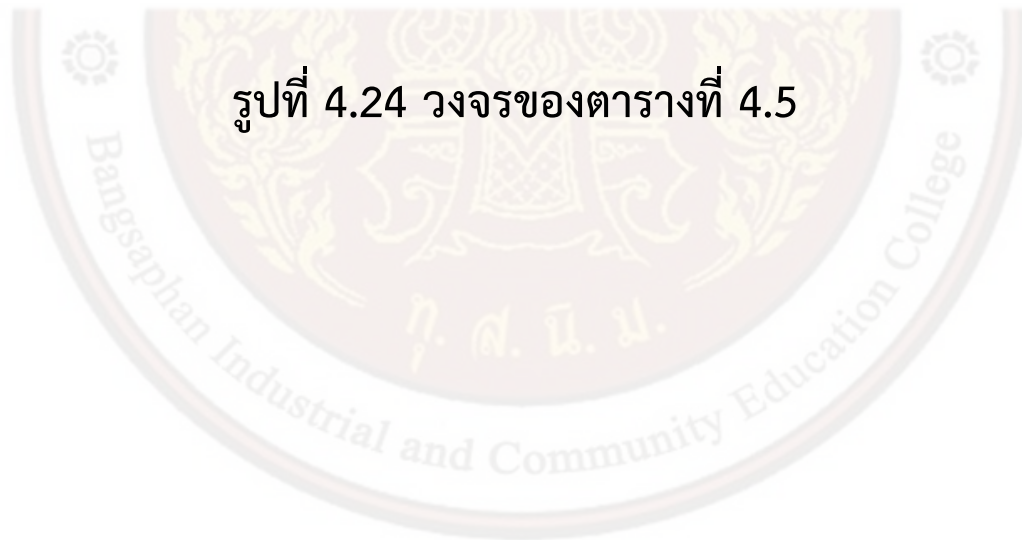
$$Y = \bar{B}\bar{A} + \bar{B}C + D$$

รูปที่ 4.23 ผังคาร์โนห์ที่มี Don't care term ถ้ามีประโยชน์ให้ใส่ 1

$$\therefore Y = \overline{B}\overline{A} + \overline{B}C + D$$



รูปที่ 4.24 วงจรของตารางที่ 4.5



แบบทดสอบหลังเรียน



การออกแบบวงจรคอมบิเนชันเบื้องต้น



แบบทดสอบก่อนเรียน



หัวข้อเรื่อง (Topics)

5.1 วงจรบวกเลขไบนารี

5.2 วงจรลบเลขไบนารี

5.3 วงจรคอมพารเตอร



5.1 วงจรบวกเลขไบนารี

วงจรบวกเลขในที่นี้หมายถึงวงจรบวกเลขไบนารี ซึ่งจะแยกเป็นวงจรบวกเลข 1 บิตแบบไม่คิดตัวทดเข้า (Half adder) วงจรบวกเลข 1 บิตแบบคิดตัวทดเข้า (Full adder) และวงจรบวกเลขมากกว่า 1 บิต

5.1.1 วงจรบวกเลขไบนารี 1 บิตแบบไม่คิดตัวทดเข้า

วงจรบวกเลข 1 บิตแบบไม่คิดตัวทดเข้า (Half adder circuit) เป็นวงจรบวกเลขไบนารี ขนาด 1 บิต โดยมีอินพุต 2 ตัว คืออินพุตที่เป็นตัวตั้งกับอินพุตที่เป็นตัวบวก ทำให้เกิดเอาต์พุตได้ 2 ตัว คือผลบวก (Sum) และตัวท่อดออก (Carry out) หลักการของวงจรบวกเลขไบนารี 1 บิต แสดงในตารางที่ 5.1

ตารางที่ 5.1 การบวกเลขไบนารีขนาด 1 บิตแบบไม่คิดตัวทดเข้า

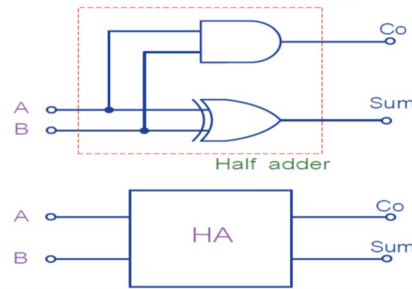
อินพุต		เอาต์พุต	
ตัวตั้ง (A)	ตัวบวก (B)	ผลบวก (Sum)	ตัวทด (Co)
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

จากตารางที่ 5.1 เขียนสมการทางด้านเอาต์พุตได้ดังนี้

$$\text{Sum} = (A \cdot B) \cdot (\bar{A} \cdot B) = \bar{A} \oplus B$$

$$\text{Co} = A \cdot B$$

จากสมการเขียนเป็นวงจรได้ดังรูปที่ 5.1



รูปที่ 5.1 วงจรบวกเลขไบนารี จำนวน 1 บิต (Half Adder)

5.1.2 วงจรบวกเลขไบนารี 1 บิตแบบคิดตัวทดเข้า

วงจรบวกเลข 1 บิตแบบคิดตัวทดเข้า (Full adder circuit) เป็นวงจรบวกเลขไบนารี 1 บิตโดยมีอินพุต 3 ตัว คือ อินพุตที่เป็นตัวตั้ง อินพุตที่เป็นตัวบวก และตัวทดเข้า ทำให้เกิดเอาต์พุตได้ 2 ตัว คือผลบวก (Sum) และตัวทดออก (Carry out) หลักการของวงจรบวกเลข 1 บิตแบบคิดตัวทดเข้า แสดงในตารางที่ 5.2

ตารางที่ 5.2 การบวกเลขไบนารีขนาด 1 บิตแบบคิดตัวทดเข้า

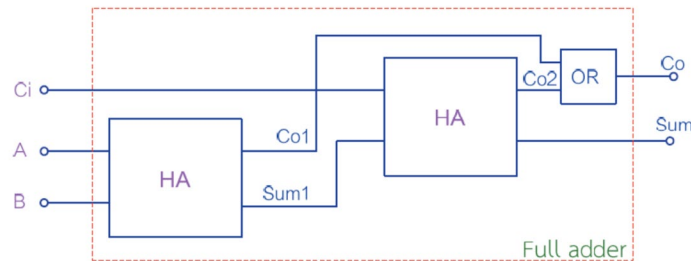
อินพุต			เอาต์พุต	
ตัวทดเข้า (Ci)	ตัวตั้ง (A)	ตัวบวก (B)	ผลบวก (Sum)	ตัวทดออก (Co)
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

จากตารางที่ 5.2 เขียนสมการทางด้านเอาต์พุตได้ดังนี้

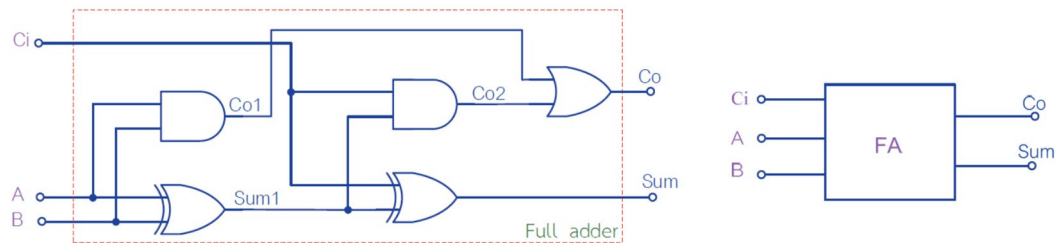
$$\text{Sum} = ((A \oplus B) \oplus C_i)$$

$$\text{Co} = (\text{Co1} + \text{Co2})$$

เขียนเป็นไดอะแกรมได้ดังรูปที่ 5.2



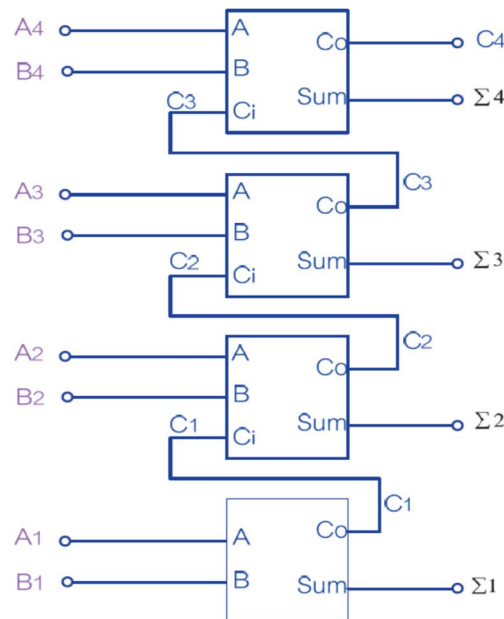
รูปที่ 5.2 ไดอะแกรมการบวกเลขไบนารี 1 บิต 3 จำนวน (Full Adder)



รูปที่ 5.3 วงจรบวกเลขไบนารี 1 บิต 3 จำนวน (Full Adder)

5.1.3 วงจรบวกเลขไบนารีมากกว่า 1 บิต

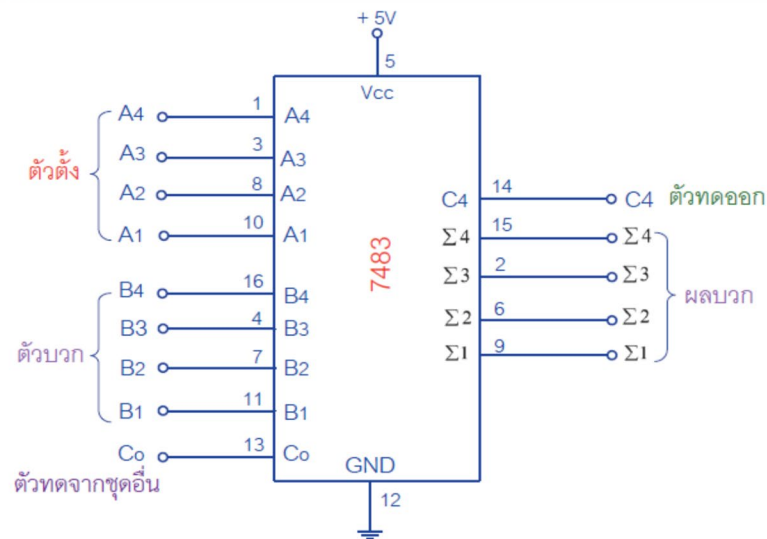
วงจรบวกเลขไบนารีมากกว่า 1 บิต โดยบิตต่ำสุดจะใช้วงจร Half adder เพราะว่าบิตต่ำสุดมีอินพุตเพียงสองตัวคือตัวตั้งกับตัวบวก ส่วนบิตที่สูงขึ้นไปจะต้องใช้วงจร Full adder มีอินพุตสามตัวคือตัวตั้งของบิตนั้น ตัวบวกของบิตนั้น และตัวทดจากบิตต่ำกว่า แสดงดังรูปที่ 5.4



รูปที่ 5.4 วงจรบวกเลขไบนารี 4 บิต 2 จำนวน

จากรูปที่ 5.4 เป็นวงจรบวกเลขไบนารี 4 บิตจะให้เอาต์พุต 5 บิต โดยบิตต่ำสุดของตัวตั้ง (A_1) บวกกับบิตต่ำสุดของตัวบวก (B_1) จะได้เอาต์พุต 2 ตัว คือ Σ_1 กับ C_1 โดยที่ Σ_1 เป็นผลลัพธ์บิตต่ำสุด ส่วน C_1 จะไปเป็นอินพุตของหลักต่อไป หลักที่สองของตัวตั้ง (A_2) รวมกับตัวบวก (B_2) และตัวทดเข้า (C_1) ที่มาจากตัวทดออกของชุดที่ 1 ทำให้เอาต์พุตชุดที่ 2 ออกเป็น Σ_2 และ C_2 ซึ่ง Σ_2 เป็นผลลัพธ์ของหลักที่ 2 ส่วน C_2 จะไปเป็นตัวบวกของหลักที่ 3 เช่นนี้เรื่อย ๆ จนถึงหลักสูงสุด ที่หลักสูงสุดจะได้ผลลัพธ์คือ Σ_4 และตัวทดออก C_4

วงจรบวกเลขไบนารี 4 หลัก ที่ใช้ไอซีสำเร็จรูปเบอร์ 7483 ซึ่งมีโครงสร้างแสดงดังรูปที่ 5.5



รูปที่ 5.5 โครงสร้าง IC Binary 4 bit full adder เบอร์ 7483

5.2 วงจรลบเลขไบนารี

5.2.1 วงจรลบเลขไบนารี จำนวน 1 บิต 2 ตัว (Half subtractor)

วงจร Half subtractor หมายถึงวงจรที่ทำหน้าที่ลบเลขไบนารีที่มีตัวตั้งจำนวน 1 บิต และมีตัวลบจำนวน 1 บิต ทำให้เกิดผลลัพธ์ จำนวนไม่เกิน 2 บิต ดังตารางที่ 5.3

ตารางที่ 5.3 การลบเลขไบนารี 1 บิต

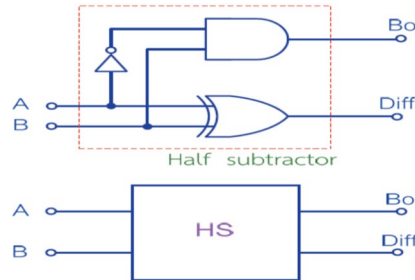
อินพุต		เอาต์พุต	
ตัวตั้ง (A)	ตัวลบ (B)	ผลลบ (Diff)	ตัวยืม (Bo)
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

จากตารางที่ 5.3 จะได้สมการวงจรถลบเลขไบนารี จำนวน 1 หลัก 2 ตัว ดังนี้

$$\text{Diff} = (A \cdot B) + (A \cdot \bar{B}) = A \oplus B$$

$$\text{Bo} = (A \cdot B)$$

นำสมการเขียนเป็นวงจรเลขไบนารี 1 บิต ได้ดังนี้

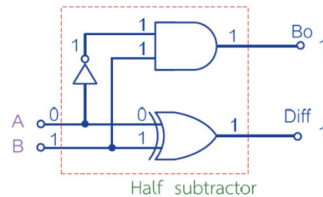


รูปที่ 5.6 วงจรเลขไบนารี จำนวน 1 บิต (Half subtractor)

จากวงจรในรูปที่ 5.6 สมมติตัวตั้ง $A = 0$ ตัวลบ $B = 1$

$$\begin{aligned}\text{Diff} &= A - B \\ &= 0 - 1 \\ &= 1 \\ \text{Bo} &= 1\end{aligned}$$

วิเคราะห์จากวงจร



รูปที่ 5.7 การวิเคราะห์ระดับลอจิกของวงจร Half subtractor

5.2.2 วงจรลบเลขไบนารี ขนาด 1 บิต 3 จำนวน

วงจรลบเลขไบนารี ขนาด 1 บิต 3 หรือ Full subtractor หมายถึงวงจรที่ทำหน้าที่ลบเลขไบนารี 1 หลัก จำนวน 3 ตัว หรือการลบเลขไบนารีที่มี 3 ตัว คือตัวตั้ง ตัวลบและตัวยืมเข้า ดังแสดงในตารางที่ 5.4

ตารางที่ 3.4 แสดงค่าของวงจร Full subtractor

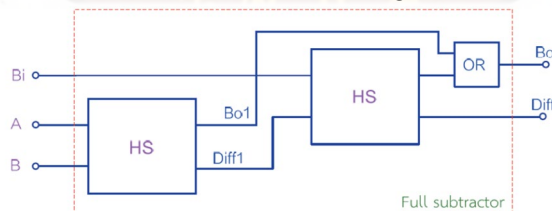
อินพุต			เอาต์พุต	
ตัวยืมเข้า (Bi)	ตัวตั้ง (A)	ตัวลบ (B)	ผลลบ (Diff)	ตัวยืมออก (Bo)
0	0	0	0	0
0	0	1	1	1
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

จากตารางที่ 5.4 เขียนเป็นสมการได้ดังนี้

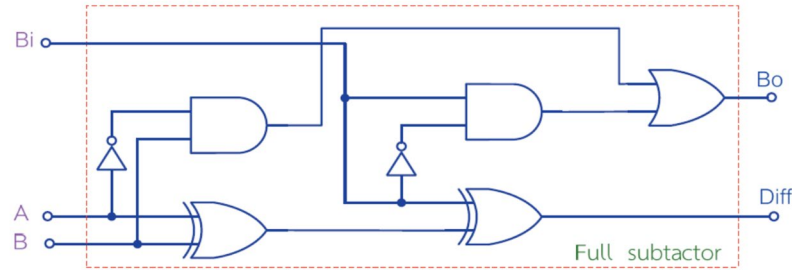
$$\text{Diff} = (A \oplus B) \oplus B_i$$

$$\begin{aligned} B_o &= \overline{A} \cdot B + (A \oplus B) \cdot B_i \\ &= \overline{A}B + (A \oplus B)B_i \end{aligned}$$

เขียนเป็นไดอะแกรมได้ดังรูปที่ 5.8 และเขียนเป็นวงจรแสดงดังรูปที่ 5.9

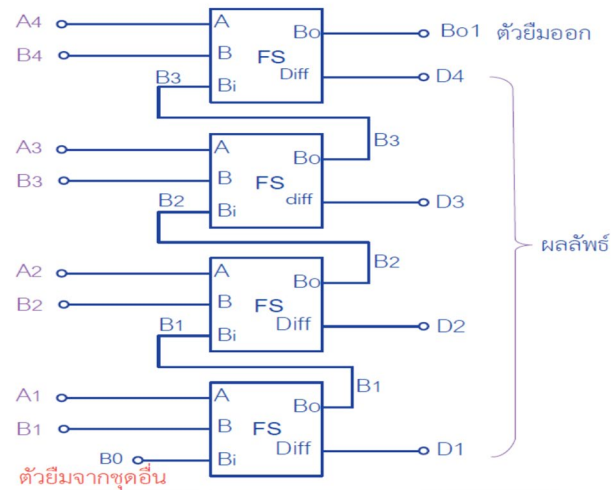


รูปที่ 5.8 ไดอะแกรมการลบเลขไบนารี 1 บิต จำนวน 3 ตัว (Full Adder)



รูปที่ 9.9 วงจรลบเลขไบนารี 1 บิต จำนวน 3 ตัว (Full Adder)

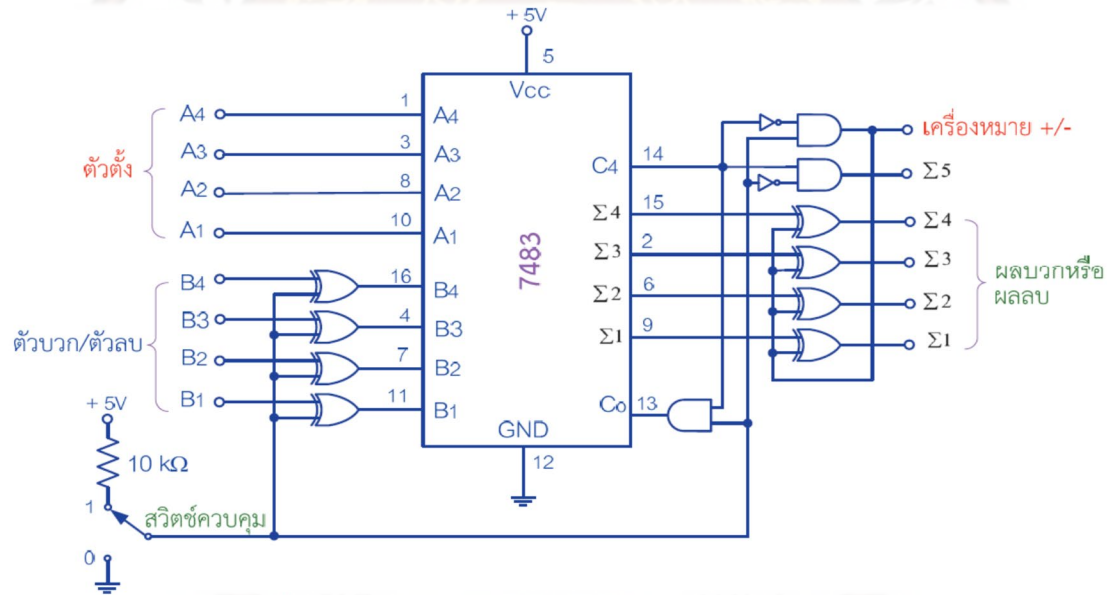
5.2.3 วงจรลบเลขไบนารี ขนาด 4 บิต 2 จำนวน



รูปที่ 5.10 หลักการลบเลขไบนารี จำนวน 4 บิต

จากรูปที่ 5.10 เป็นวงจรลบเลขไบนารีหรือเลขไบนารีขนาด 4 บิต อินพุต A_1, A_2, A_3 และ A_4 เป็นตัวตั้งอินพุต B_1, B_2, B_2 และ B_3 เป็นตัวลบ ส่วน B_0 เป็นอินพุตยืมเข้า ส่วนทางด้านเอาต์พุตซึ่งเป็นผลลัพธ์ของการลบ ประกอบด้วย D_1, D_2, D_3, D_4 และ B_{o1} ซึ่ง B_{o1} เป็นตัวยืมออก

การประยุกต์ใช้งานไอซี 7483 เป็นวงจรบวกและวงจรลบเลขไบนารี โดยมีตัวควบคุมการทำงานในลักษณะการบวกหรือการลบ แสดงดังรูปที่ 5.11



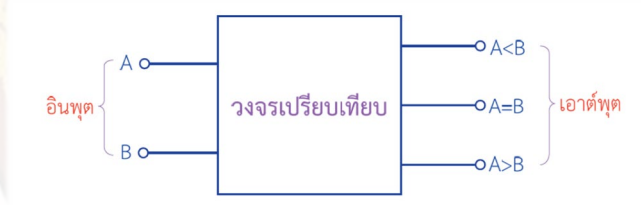
รูปที่ 5.11 วงจรบวกและวงจรลบเลขไบนารีขนาด 4 บิต

5.3 วงจรคอมพารเตเตอร์

วงจรเปรียบเทียบข้อมูลในระบบดิจิทัลจะให้เอาต์พุต 3 ลักษณะคือ มากกว่า เท่ากัน และน้อยกว่า โดยข้อมูลที่จะมาเปรียบเทียบอาจเป็นข้อมูลขนาด 1 บิต หรือมากกว่าก็ได้

5.3.1 วงจรเปรียบเทียบข้อมูลขนาด 1 บิต

วงจรเปรียบเทียบข้อมูลขนาด 1 บิต เป็นวงจรเปรียบเทียบข้อมูลขนาด 1 บิต 2 จำนวน คือข้อมูล A กับข้อมูล B จะให้เอาต์พุต 3 เอาต์พุต แสดงดังรูปที่ 5.12 ถ้าหากเงื่อนไขถูกต้องเอาต์พุตจะเป็น 1 แต่ถ้าหากเงื่อนไขไม่ถูกต้องเอาต์พุตจะเป็น 0 ดังแสดงในตารางที่ 5.5



รูปที่ 5.12 ไดอะแกรมการเปรียบเทียบข้อมูล 1 บิต 2 จำนวน

ตารางที่ 5.5 ตารางความจริงของวงจรเปรียบเทียบ 1 บิต 2 จำนวน

INPUT		OUTPUT		
A	B	A>B	A=B	A<B
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

5.3.2 วงจรเปรียบเทียบข้อมูลขนาด 2 บิต

วงจรเปรียบเทียบข้อมูลขนาด 2 บิต คือวงจรเปรียบเทียบที่ข้อมูล A มีจำนวน 2 บิต กับข้อมูล B มีจำนวน 2 บิต จะให้เอาต์พุต 3 เอาต์พุต แสดงดังรูปที่ 5.13 ถ้าหากเงื่อนไขถูกต้องเอาต์พุตจะเป็น 1 แต่ถ้าหากเงื่อนไขไม่ถูกต้องเอาต์พุตจะเป็น 0 ดังแสดงในตารางที่ 5.6



รูปที่ 5.13 ไดอะแกรมการเปรียบเทียบข้อมูล 2 บิต 2 จำนวน

ตารางที่ 5.6 ตารางความจริงของวงจรเปรียบเทียบ 2 บิต 2 จำนวน

INPUT				OUTPUT		
A1	A0	B1	B0	A>B	A=B	A<B
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0

ตารางที่ 5.6 ตารางความจริงของวงจรเปรียบเทียบ 2 บิต 2 จำนวน (ต่อ)

INPUT				OUTPUT		
A1	A0	B1	B0	A>B	A=B	A<B
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0

5.3.3 วงจรเปรียบเทียบข้อมูลขนาด 4 บิต

วงจรเปรียบเทียบข้อมูลขนาด 4 บิต คือวงจรเปรียบเทียบที่ข้อมูล A มีจำนวน 4 บิต กับข้อมูล B มีจำนวน 4 บิต จะให้เอาต์พุต 3 เอาต์พุต แสดงดังรูปที่ 5.14 ถ้าหากเงื่อนไขถูกต้องเอาต์พุตจะเป็น 1 แต่ถ้าหากเงื่อนไขไม่ถูกต้องเอาต์พุตจะเป็น 0



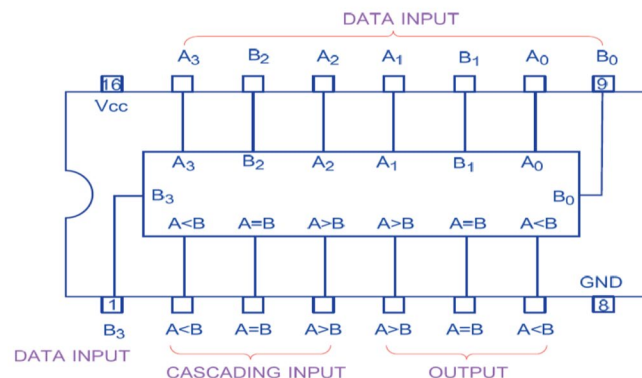
รูปที่ 5.14 ไดอะแกรมการเปรียบเทียบข้อมูล 4 บิต 2 จำนวน

5.3.4 ไอซีเปรียบเทียบข้อมูลเบอร์ 74LS85

ไอซีเบอร์ 74LS85 เป็นไอซี 4-Bit Magnitude Comparator ทำหน้าที่เปรียบเทียบขนาดของข้อมูล มีอินพุต 2 ชุด ได้แก่ อินพุตที่ใช้เปรียบเทียบ (Data input) และอินพุตที่ต่อมาจากชุดเปรียบเทียบที่ต่ำกว่า (Cascading input) ซึ่ง Cascading input นี้มีไว้เพื่อให้สามารถใช้งานสำหรับเปรียบเทียบข้อมูลได้มากกว่า 4 บิต ส่วนเอาต์พุตมี 3 เอาต์พุต คือ $A > B$, $A = B$ และ $A < B$ โครงสร้างของไอซีเบอร์ 74LS85 แสดงในรูปที่ 5.15 การทำงานของไอซีเบอร์ 74LS85 แสดงในตารางที่ 5.7

การต่อไอซีเบอร์ 74LS85 ใช้งานสำหรับเปรียบเทียบข้อมูล 4 บิต ให้ Data input ที่ขา $A_3, A_2, A_1, A_0, B_3, B_2, B_1$ และ B_0 ส่วน Cascading input นั้น ที่ขา $A = B$ ให้ต่อไปยัง $+V_{cc}$ หรือลอจิก 1 ส่วนขา $A > B$ และขา $A < B$ ให้ต่อลงกราวด์ แสดงดังรูปที่ 5.16

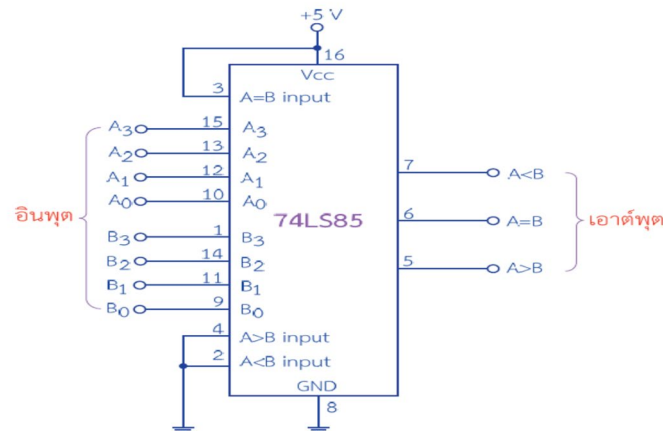
การต่อไอซีเบอร์ 74LS85 ใช้งานสำหรับเปรียบเทียบข้อมูล 8 บิต โดยใช้ไอซี 74LS85 จำนวน 2 ตัว และต่อวงจรแสดงดังรูปที่ 5.18



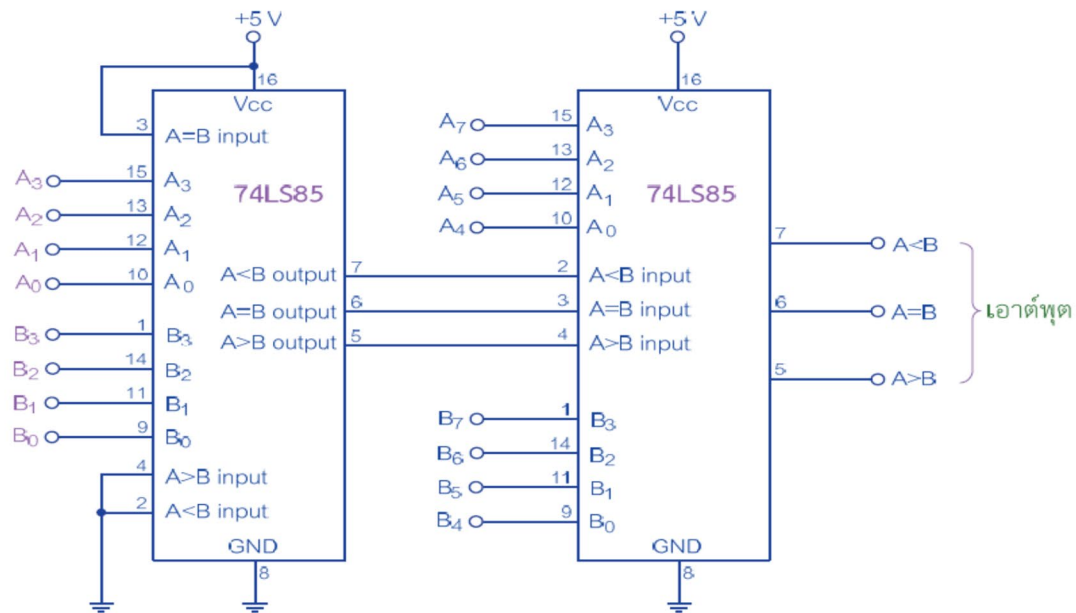
รูปที่ 5.15 การจัดตำแหน่งขาของไอซีเบอร์ 74LS85

ตารางที่ 5.7 ตารางการทำงานของไอซีเบอร์ 74LS85

COMPARING INPUT				CASCADING INPUT			OUTPUT		
A3:B3	A2:B2	A1:B1	A0:B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3	X	X	X	X	X	X	H	L	L
A3<B3	X	X	X	X	X	X	L	H	L
A3=B3	A2>B2	X	X	X	X	X	H	L	L
A3=B3	A2<B2	X	X	X	X	X	L	H	L
A3=B3	A2=B2	A1>B1	X	X	X	X	H	L	L
A3=B3	A2=B2	A1<B1	X	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0>B0	X	X	X	H	L	L
A3=B3	A2=B2	A1=B1	A0<B0	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	H	L	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	X	X	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	L	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	H	H	L



รูปที่ 5.17 วงจรเปรียบเทียบข้อมูล 4 บิต โดยใช้ไอซีเบอร์ 74LS85



รูปที่ 5.18 วงจรเปรียบเทียบข้อมูล 8 บิต โดยใช้ไอซีเบอร์ 74LS85 จำนวน 2 ตัว

แบบทดสอบหลังเรียน





วงจรเข้ารหัส วงจรถอดรหัส และวงจรแสดงผล

แบบทดสอบก่อนเรียน



หัวข้อเรื่อง (Topics)

6.1 วงจรเข้ารหัส

6.2 วงจรถอดรหัส

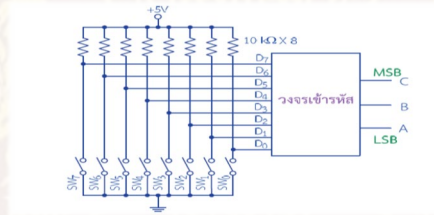
6.3 วงจรแสดงผลด้วย LED 7-segment



6.1 วงจรเข้ารหัส

วงจรเข้ารหัส หมายถึงวงจรลอจิกที่ทำหน้าที่เปลี่ยนข้อมูลดิบต่าง ๆ ให้เป็นข้อมูลระบบใดระบบหนึ่งในวงจรดิจิทัล เช่น ข้อมูลจากสวิตช์อินพุตจำนวน 8 ตัวใช้สายข้อมูลจำนวน 8 เส้น (ไม่รวมกราวด์) แต่ถ้าเราใช้หลักการเข้ารหัส จะใช้สายข้อมูลเพียง 3 เส้น ดังรูปที่ 6.1

6.1.1 วงจรเข้ารหัส 8 to 3 line



รูปที่ 6.1 หลักการเข้ารหัส 8 ข้อมูลเป็นข้อมูล 3 บิต

จากรูปที่ 6.1 สามารถเขียนเป็นการเข้ารหัสดังแสดงในตารางที่ 6.1 เป็นการเข้ารหัสจากข้อมูล 8 ข้อมูล ซึ่งข้อมูลนี้จะให้ Active low หรือ“0” สามารถเข้ารหัสได้เป็นข้อมูลขนาด 3 บิต

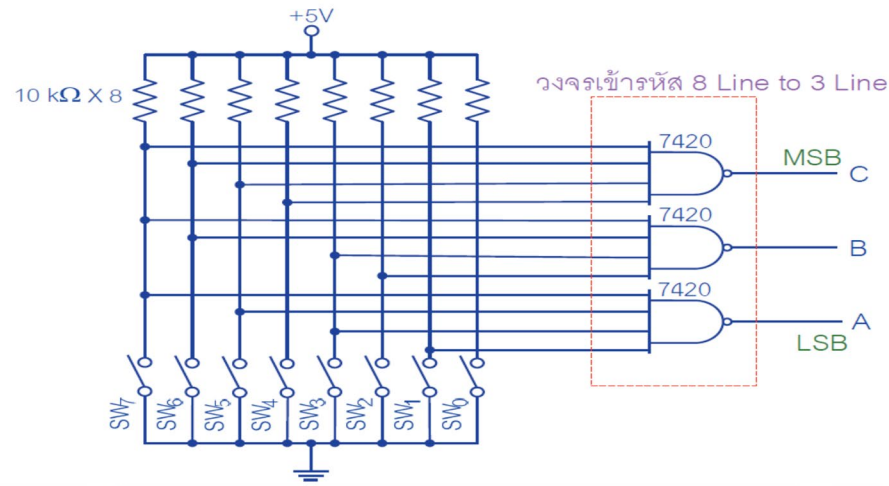
ตารางที่ 6.1 ตารางความจริงจากข้อมูล 8 ข้อมูลเข้ารหัสเป็น 3 บิต

[illegible]

A = ข้อมูล 1 NAND ข้อมูล 3 NAND ข้อมูล 5 NAND ข้อมูล 7

B = ข้อมูล 2 NAND ข้อมูล 3 NAND ข้อมูล 6 NAND ข้อมูล 7

C = ข้อมูล 4 NAND ข้อมูล 5 NAND ข้อมูล 6 NAND ข้อมูล 7



รูปที่ 6.2 วงจรเข้ารหัส 8 ข้อมูลเป็นข้อมูล 3 บิต

6.1.2 วงจรเข้ารหัสเลขฐานสิบเป็นรหัสบีซีดี (Decimal to BCD Encoder)

วงจรเข้ารหัสเลขฐานสิบเป็นรหัสบีซีดี ทำหน้าที่เข้ารหัสจากข้อมูล 10 ข้อมูล เป็นข้อมูลดิจิทัลขนาด 4 บิต แสดงในตารางที่ 6.2

ตารางที่ 6.2 การเข้ารหัสเลขฐานสิบเป็นรหัส BCD

INPUT										OUTPUT			
9	8	7	6	5	4	3	2	1	0	D	C	B	A
1	1	1	1	1	1	1	1	1	0	0	0	0	0
1	1	1	1	1	1	1	1	0	1	0	0	0	1
1	1	1	1	1	1	1	0	1	1	0	0	1	0
1	1	1	1	1	1	0	1	1	1	0	0	1	1
1	1	1	1	1	0	1	1	1	1	0	1	0	0
1	1	1	1	0	1	1	1	1	1	0	1	0	1
1	1	1	0	1	1	1	1	1	1	0	1	1	0
1	1	0	1	1	1	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	1	1	1	0	0	0
0	1	1	1	1	1	1	1	1	1	1	0	0	1

จากตารางที่ 6.2 สามารถเขียนเป็นความสัมพันธ์ได้ว่า

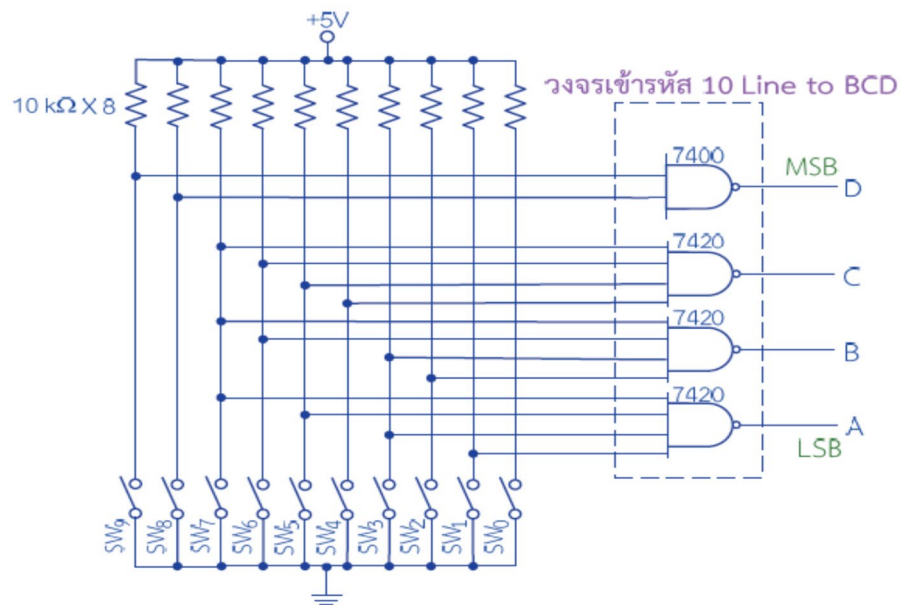
A = ข้อมูล 1 NAND ข้อมูล 3 NAND ข้อมูล 5 NAND ข้อมูล 7 NAND ข้อมูล 9

B = ข้อมูล 2 NAND ข้อมูล 3 NAND ข้อมูล 6 NAND ข้อมูล 7

C = ข้อมูล 4 NAND ข้อมูล 5 NAND ข้อมูล 6 NAND ข้อมูล 7

D = ข้อมูล 8 NAND ข้อมูล 9

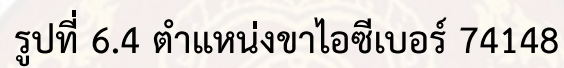
วงจรเข้ารหัสเลขฐานสิบเป็นรหัสบีซีดี แสดงดังวงจรในรูปที่ 6.3



รูปที่ 6.3 วงจรเข้ารหัสเลขฐานสิบเป็นรหัส BCD

จากวงจรถ้าหากไม่กด SW ใดๆ (แทนเลข 0) จะทำให้เอาต์พุต = 0000 ถ้าหากกด SW1 (แทนเลข 1) จะทำให้รหัส BCD เป็น 0001 ถ้ากด SW2 (แทนเลข 2) รหัส BCD จะเท่ากับ 0010 ถ้ากด SW9 (แทนเลข 9) จะทำให้เอาต์พุตของรหัส BCD เท่ากับ 1001 เป็นต้น

1. ไอซีเบอร์ 74148 (8-Line to 3-Line binary priority encoder) ไอซีเบอร์ 74148 เป็น ไอซีเข้ารหัสที่เข้ารหัสจากข้อมูลอินพุต 8 ตัวให้เป็นรหัสไบนารีขนาด 3 บิต ชนิดกระตุ้นที่ลอจิก “0” โครงสร้างตำแหน่งขา แสดงในรูปที่ 6.4 และตารางความจริงที่ 6.3

[illegible]

รูปที่ 6.5 ตำแหน่งขาไอซีเบอร์ 74147

ไอซีเบอร์ 74147

INPUT									OUTPUT			
1	2	3	4	5	6	7	8	9	D	C	B	A
1	1	1	1	1	1	1	1	1	1	1	1	1
x	x	x	x	x	x	x	x	0	0	1	1	0
x	x	x	x	x	x	x	0	1	0	1	1	1
x	x	x	x	x	x	0	1	1	1	0	0	0
x	x	x	x	x	0	1	1	1	1	0	0	1

รูปที่ 6.5 ตำแหน่งขาไอซีเบอร์ 74147

ตารางที่ 6.4 ตารางการทำงานของไอซีเบอร์ 74147

INPUT									OUTPUT			
1	2	3	4	5	6	7	8	9	D	C	B	A
1	1	1	1	1	1	1	1	1	1	1	1	1
x	x	x	x	x	x	x	x	0	0	1	1	0
x	x	x	x	x	x	x	0	1	0	1	1	1
x	x	x	x	x	x	0	1	1	1	0	0	0
x	x	x	x	x	0	1	1	1	1	0	0	1
x	x	x	x	0	1	1	1	1	1	0	1	0
x	x	x	0	1	1	1	1	1	1	0	1	1
x	x	0	1	1	1	1	1	1	1	1	0	0
x	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

6.2 วงจรถอดรหัส

6.2.1 หลักการของวงจรถอดรหัส

วงจรถอดรหัส หมายถึง วงจรที่ทำหน้าที่เปลี่ยนรหัสกลับเป็นข้อมูลเดิม เช่น เปลี่ยนรหัส 3 บิตให้เป็นข้อมูลจำนวน 8 ข้อมูล



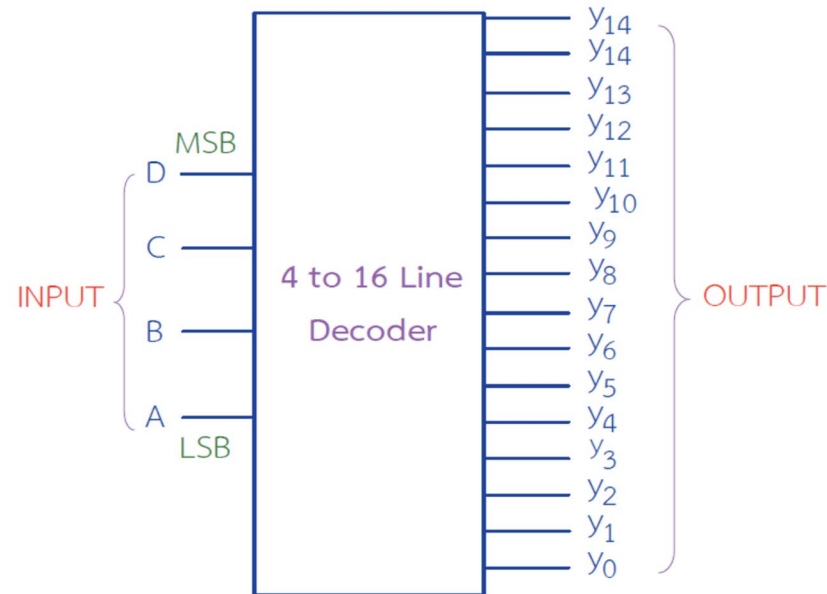
รูปที่ 6.6 หลักการถอดรหัสจาก 3 บิตให้เป็น 8 ข้อมูล

ตารางที่ 6.5 การทำงานของวงจรถอดรหัส 3 บิตให้เป็นข้อมูล 8 ข้อมูล

INPUT			OUTPUT							
C	B	A	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1

6.2.3 วงจรถอดรหัส 4 บิต เป็นข้อมูล 16 ข้อมูล

วงจรถอดรหัส 4 บิต เป็น 16 ข้อมูล (4 to 16 line decoder) เป็นวงจรที่ทำหน้าที่แปลงรหัสเลขฐาน 2 จำนวน 4 บิต เพื่อให้เป็นข้อมูล จำนวน 16 ข้อมูล เพื่อให้แสดงเป็นข้อมูล 0 ถึง 15



รูปที่ 6.8 หลักการถอดรหัสจาก 4 บิตให้เป็น 16 ข้อมูล

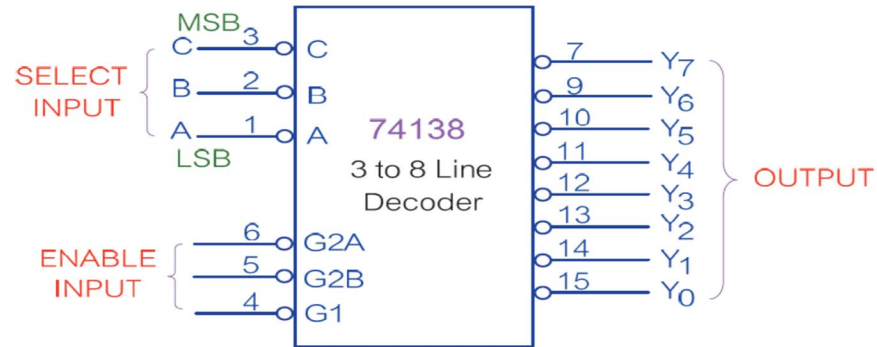
ตารางที่ 6.7 การถอดรหัสจาก 4 บิตให้เป็น 16 ข้อมูล (0-15)

INPUT				OUTPUT															
D	C	B	A	Y ₁₅	Y ₁₄	Y ₁₃	Y ₁₂	Y ₁₁	Y ₁₀	Y ₉	Y ₈	Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
0	1	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
0	1	1	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
1	0	1	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

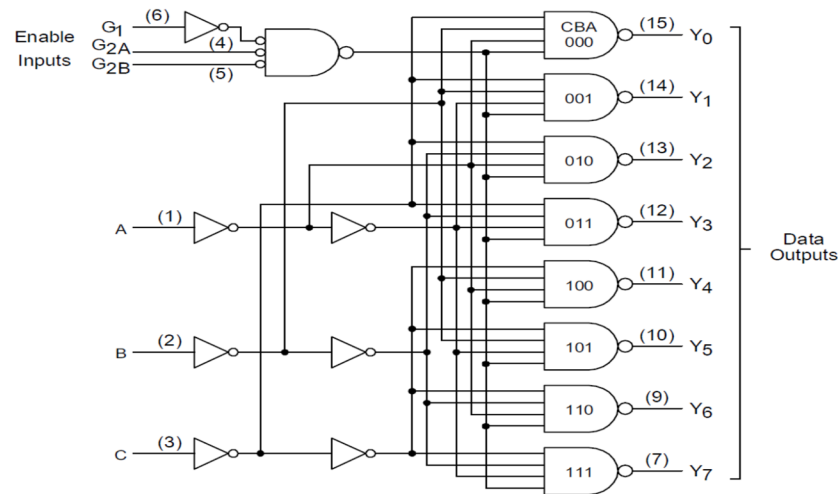
6.2.4 ไอซีถอดรหัส

1. ไอซีถอดรหัสเบอร์ 74138

ไอซีสำเร็จรูปที่ใช้ถอดรหัสจาก 3 บิตให้เป็น 8 ข้อมูล (3 to 8 line) ได้แก่ ไอซีเบอร์ 74138 ซึ่งจะให้อาต์พุต Active low มีโครงสร้าง แสดงดังรูปที่ 6.8 และรูปที่ 6.9



รูปที่ 6.8 ตำแหน่งขาไอซีเบอร์ 74138



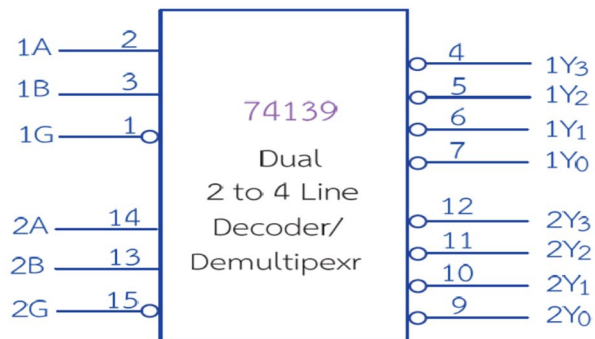
รูปที่ 6.9 โครงสร้างภายในไอซีเบอร์ 74138 ไอซีถอดรหัส 3 บิตเป็นข้อมูล 8 ข้อมูล
การทำงานของไอซีเบอร์ 74138 ดังแสดงในตารางที่ 6.8

ตารางที่ 6.8 ตารางการทำงานของไอซี 74138 3 line to 8 line decoder

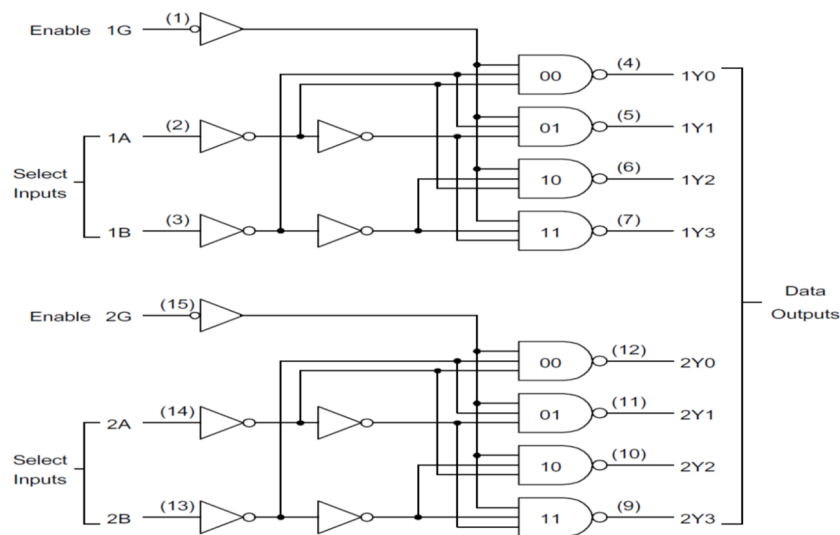
INPUT				OUTPUT								
Enable		Slect										
O	G2	C	B	A	Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀
×	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	0	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1	1
1	0	1	1	0	1	0	1	1	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1	1	1

2. ไอซีเบอร์ 74139 (Dual 2-Line to 4-Line Decoder/Demultiplexer)

ไอซีเบอร์ 74139 เป็นไอซีที่ใช้ในการถอดรหัสเลขไบนารีขนาด 2 บิต ให้เป็นรหัสขนาด 4 บิต ที่เอาต์พุตมีจำนวน 2 ชุด ในไอซี 1 ตัว โดยเอาต์พุตที่ได้เป็นเอาต์พุตชนิดทำงานที่ลอจิก “0” และมีขา Enable ควบคุมการทำงานของวงจร โครงสร้างภายในและตำแหน่งขาแสดงในรูปที่ 6.10



(ก) แสดงตำแหน่งขาของไอซีเบอร์ 74139

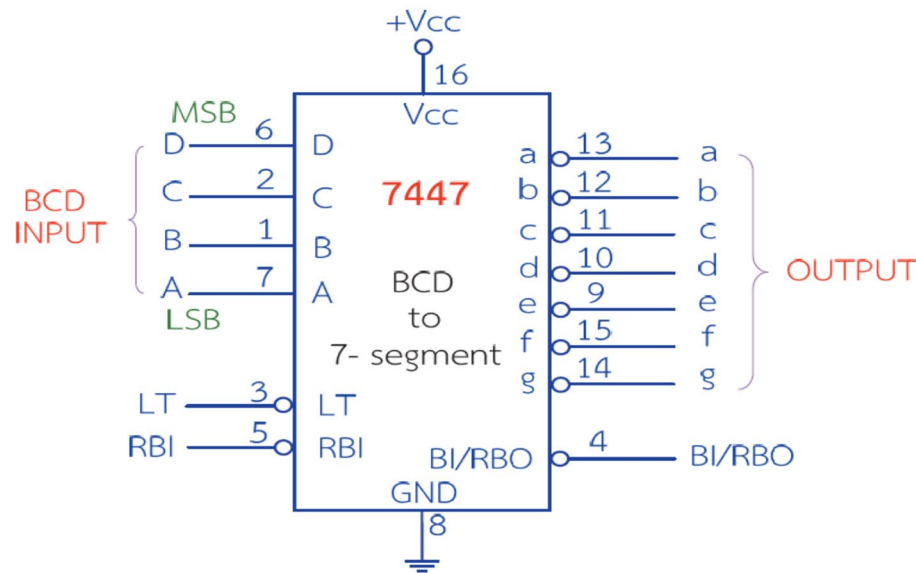


(ข) โครงสร้างภายใน
รูปที่ 6.10 ไอซีถอดรหัสเบอร์ 74139

3. วงจรถอดรหัสจาก BCD แสดงผลด้วย LED 7-Segment

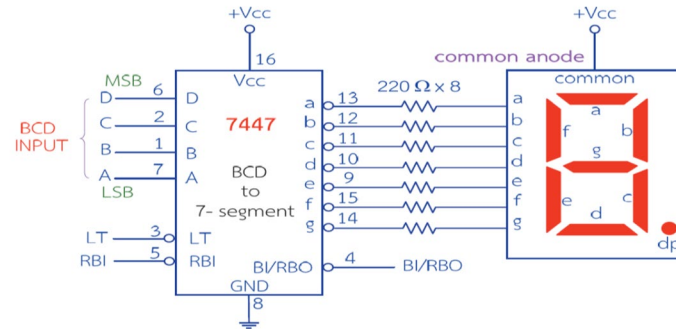
ตัวถอดรหัส BCD แสดงผลด้วย LED 7 Segment ทำหน้าที่เปลี่ยนจากรหัส BCD เป็นเลข 0-9 ที่แสดงด้วย LED 7 Segment ให้เราสามารถอ่านเป็นตัวเลขได้ ถ้าหากเป็นไอซีตระกูล TTL จะใช้เบอร์ 7447 และ 7448 สำหรับไอซีเบอร์ 7447 จะใช้กับ LED 7-Segment common anode ส่วนเบอร์ 7448 ใช้สำหรับ LED 7-Segment common cathode

(1) ไอซีเบอร์ 7447 ไอซีเบอร์นี้เอาต์พุตจะทำงานที่ Active LOW



รูปที่ 6.11 แสดงตำแหน่งขาของไอซีเบอร์ 7447

การใช้งานไอซีเบอร์ 7447



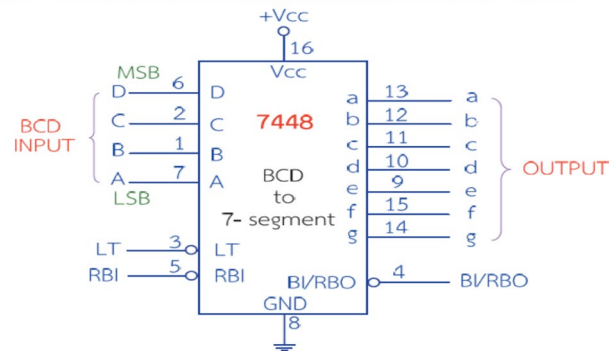
รูปที่ 6.12 การเชื่อมต่อไอซีเบอร์ 7447 ร่วมกับ LED 7-Segment common anode

ตารางที่ 6.9 การทำงานของไอซี เบอร์ 7447

Function	INPUT						BI/RBO	OUTPUT						
	LT	RBI	D	C	B	A		g	f	e	d	c	b	a
0	1	1	0	0	0	0	1	1	0	0	0	0	0	0
1	1	X	0	0	0	1	1	1	1	1	1	0	0	1
2	1	X	0	0	1	0	1	0	1	0	0	1	0	0
3	1	X	0	0	1	1	1	0	1	1	0	0	0	0
4	1	X	0	1	0	0	1	0	0	1	1	0	0	1
5	1	X	0	1	0	1	1	0	0	1	0	0	1	0
6	1	X	0	1	1	0	1	0	0	0	0	0	1	1
7	1	X	0	1	1	1	1	1	1	1	1	0	0	0
8	1	X	0	0	0	0	1	0	0	0	0	0	0	0
9	1	X	1	0	0	1	1	0	0	1	1	0	0	0
10	1	X	1	0	1	0	1	0	1	0	0	1	1	1
11	1	X	1	0	1	1	1	0	1	1	0	0	1	1
12	1	X	1	1	0	0	1	0	0	1	1	1	0	1
13	1	X	1	1	0	1	1	0	0	1	0	1	1	0
14	1	X	1	1	1	0	1	0	0	0	0	1	1	1
15	1	X	1	1	1	1	1	1	1	1	1	1	1	1
BI	1	X	X	X	X	X	0	1	1	1	1	1	1	1
RBI	1	0	0	0	0	0	0	1	1	1	1	1	1	1
LT	0	X	X	X	X	X	1	0	0	0	0	0	0	0

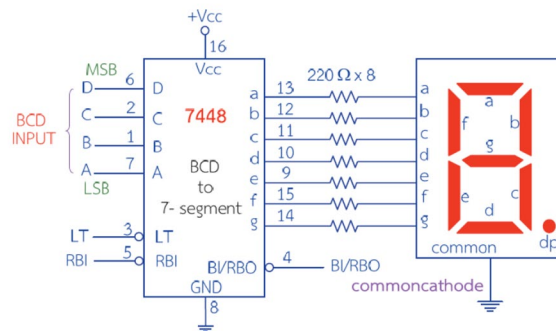
หมายเหตุ เฉพาะด้านเอาต์พุต “0” หมายถึง LED สว่าง เพราะไอซีเบอร์ 7447 เป็นไอซีที่ออกแบบมา
ใช้กับ LED 7-Segment แบบ Common anode

(2) ไอซีเบอร์ 7448 ไอซีเบอร์นี้เอาต์พุตจะทำงานที่ Active HIGH



รูปที่ 6.13 แสดงตำแหน่งขาของไอซีเบอร์ 7448

การใช้งานไอซีเบอร์ 7448

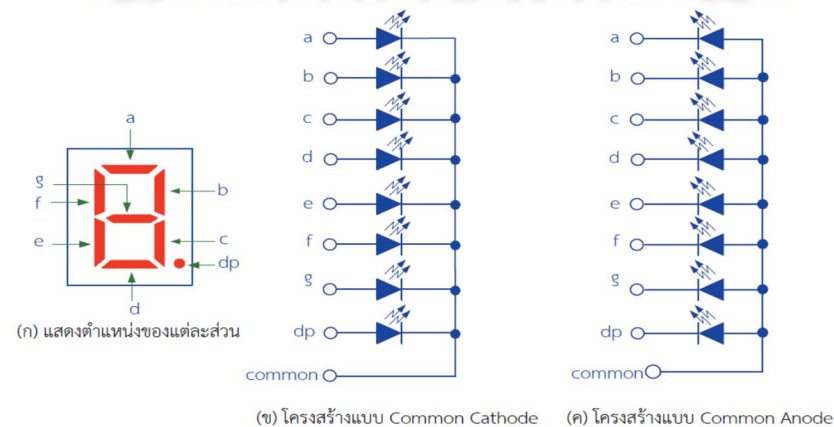


ตารางที่ 6.10 การทำงานของไอซีเบอร์ 7448

Function	INPUT						BI/RBO	OUTPUT						
	LT	RBI	D	C	B	A		g	f	e	d	c	b	a
0	1	1	0	0	0	0	1	0	1	1	1	1	1	1
1	1	X	0	0	0	1	1	0	0	0	0	1	1	0
2	1	X	0	0	1	0	1	1	0	1	1	0	1	1
3	1	X	0	0	1	1	1	1	0	0	1	1	1	1
4	1	X	0	1	0	0	1	1	1	0	0	1	1	1
5	1	X	0	1	0	1	1	1	1	0	1	1	0	1
6	1	X	0	1	1	0	1	1	1	1	1	1	0	0
7	1	X	0	1	1	1	1	0	0	0	0	1	1	1
8	1	X	0	0	0	0	1	1	1	1	1	1	1	1
9	1	X	1	0	0	1	1	1	1	0	0	1	1	1
10	1	X	1	0	1	0	1	1	0	1	1	0	0	0
11	1	X	1	0	1	1	1	1	0	0	1	1	0	0
12	1	X	1	1	0	0	1	1	1	0	0	0	1	0
13	1	X	1	1	0	1	1	1	1	0	1	0	0	1
14	1	X	1	1	1	0	1	1	1	1	1	0	0	0
15	1	X	1	1	1	1	1	0	0	0	0	0	0	0
BI	1	X	X	X	X	X	0	0	0	0	0	0	0	0
RBI	1	0	0	0	0	0	0	0	0	0	0	0	0	0
LT	0	X	X	X	X	X	1	1	1	1	1	1	1	1

หมายเหตุ เฉพาะด้านเอาต์พุต “1” หมายถึง LED สว่าง เพราะไอซีเบอร์ 7448 เป็นไอซีที่ออกแบบมา
ใช้กับ LED 7-segment ชนิด Common cathode

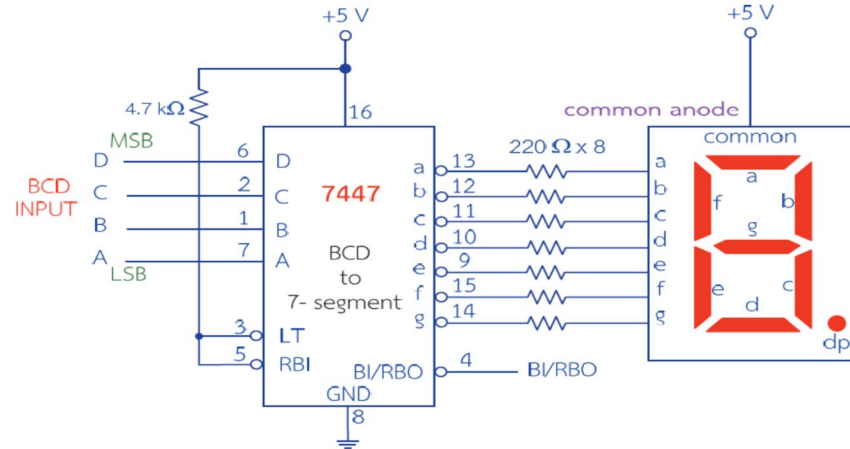
6.3 วงจรแสดงผลด้วย LED 7-segment



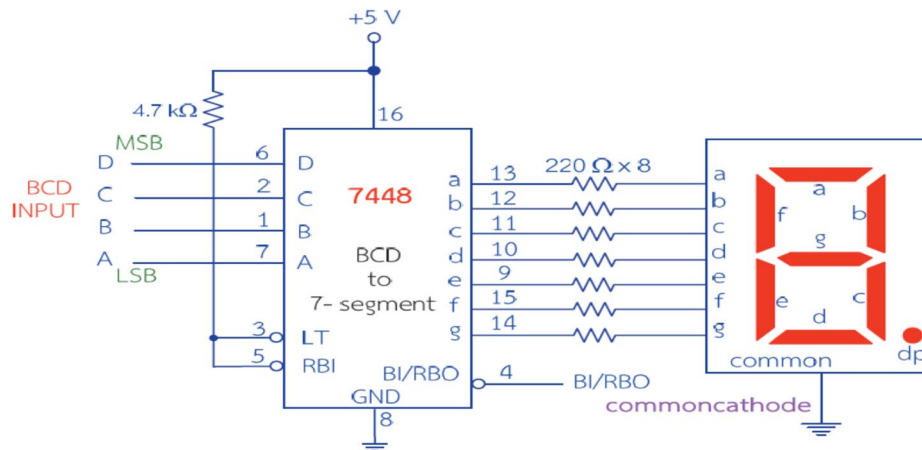
รูปที่ 6.15 แสดงโครงสร้างของแอลอีดี 7 ส่วน

6.3.2 การต่อใช้งาน LED 7-Segment ร่วมกับไอซีเบอร์ 7447 และเบอร์ 7448

การใช้งานของแผงแสดงผลแอลอีดี 7 ส่วน แบบ Common Anode จะต้องต่อขา Common กับแหล่งจ่าย Vcc ส่วนขาอินพุตแต่ละส่วนของแอลอีดี เมื่ออินพุตใดได้รับระดับลอจิกต่ำส่วนนั้นก็จะติดสว่างซึ่งต้องใช้ตัวต้านทานจำกัดกระแสร่วมด้วย ส่วนแบบ Common Cathode ร่วมจะต้องต่อขา Common เข้ากับกราวด์ ขาอินพุตแต่ละส่วนเมื่อได้รับค่าลอจิกสูงหลอดก็จะติด โดยทั่วไปจะใช้ร่วมกับไอซีถอดรหัสและวงจรขับ เช่นไอซีถอดรหัสเบอร์ 7447 ใช้ขับแบบ Common Anode ส่วนไอซีถอดรหัสเบอร์ 7448 ใช้ขับแผงแบบ Common Cathode สำหรับขา LT (ขาสำหรับทดสอบหลอด LED) เมื่อไม่ต้องการทดสอบให้ต่อที่ไฟฟ้าที่เป็น Logic 1 และขา RBI ให้ต่อไปยังไฟฟ้าที่เป็น Logic 1 กัน แสดงดังรูปที่ 6.16 และรูปที่ 6.17



รูปที่ 6.16 วงจรขับแผงแสดงผล LED 7-Segment common anode

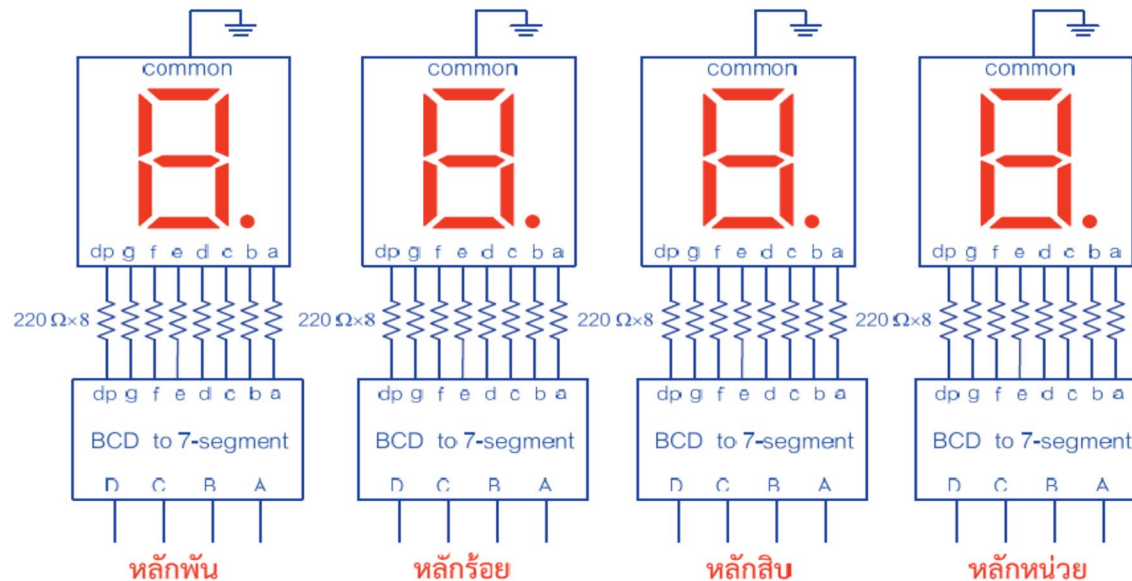


รูปที่ 6.17 วงจรขับแผงแสดงผล LED 7-Segment common cathode

6.3.3 การแสดงผลด้วย LED 7-segment มากกว่า 1 หลัก

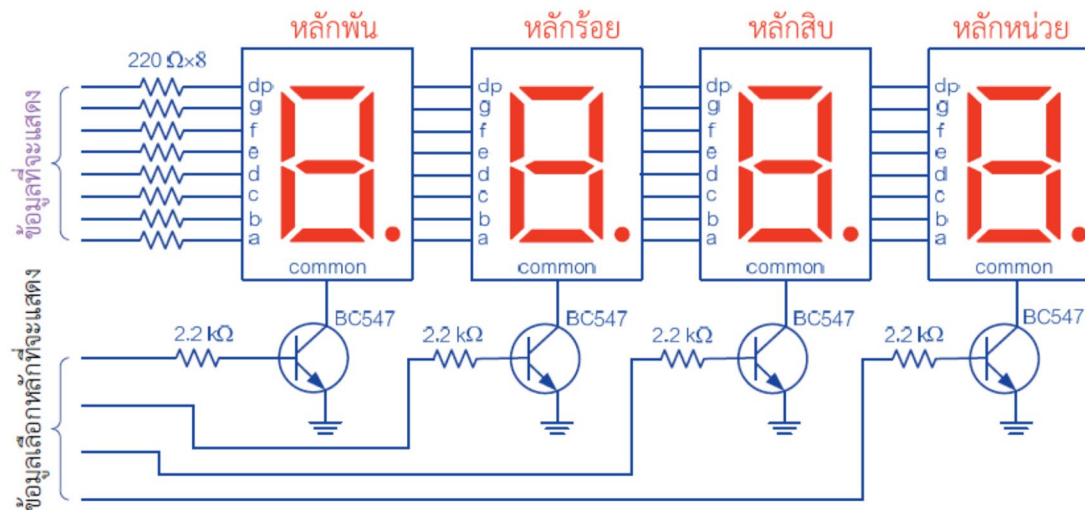
การนำ LED 7-segment ไปแสดงผลมากกว่า 1 หลัก สามารถต่อใช้งานได้ 2 วิธีได้แก่ต่อแบบทั่วไป และต่อแบบใช้หลักการมัลติเพล็กซ์หรือการสแกน

1. การต่อ LED 7-segment แบบทั่วไป หมายถึงการนำ LED 7-segment ต่อกับวงจรถอดรหัส BCD to 7-segment มาต่อเรียงกัน แสดงดังรูปที่ 6.18



รูปที่ 6.18 การต่อ LED 7-segment แสดงผลจำนวน 4 หลัก

2. การต่อ LED 7-segment แบบใช้หลักการมัลติเพล็กซ์ หมายถึงการต่อขาแต่ละขาที่มีชื่อตรงกันของอุปกรณ์ LED 7-segment เข้าด้วยกัน เช่น ขา a ต่อกับ a ของทุกตัว ขา b ต่อกับ b ของทุกตัว ขา c ต่อกับ c ของทุกตัว เป็นต้น เมื่อต้องการให้ตัวใดแสดงผลจะทำให้กระแสไหลผ่าน LED 7-segment ตัวนั้น โดยการต่อขา Common ลงกราวด์ ใช้ทรานซิสเตอร์เป็นสวิตช์ นำกระแสลงกราวด์ แสดงดังรูปที่ 6.19



รูปที่ 6.19 การต่อ LED 7-segment แบบใช้หลักการมัลติเพล็กซ์หรือการสแกนแสดงผลจำนวน 4 หลัก

แบบทดสอบหลังเรียน





วงจรเลื่อนข้อมูล วงจรบัฟเฟอร์ และวงจรฟลิปฟล็อป

แบบทดสอบก่อนเรียน



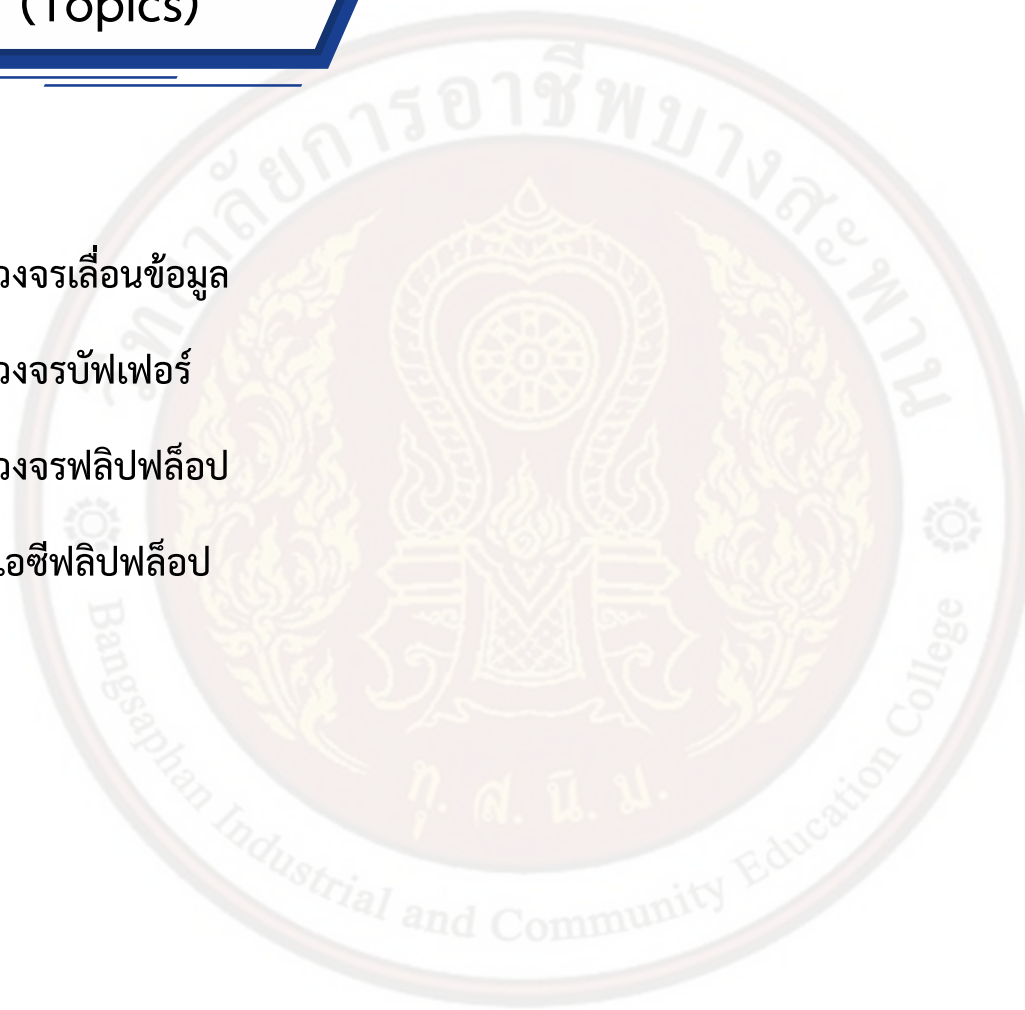
หัวข้อเรื่อง (Topics)

7.1 วงจรเลื่อนข้อมูล

7.2 วงจรบัฟเฟอร์

7.3 วงจรฟลิปฟล็อป

7.4 ไอซีฟลิปฟล็อป

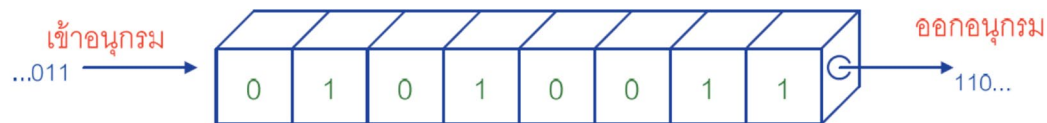


7.1 วงจรเลื่อนข้อมูล

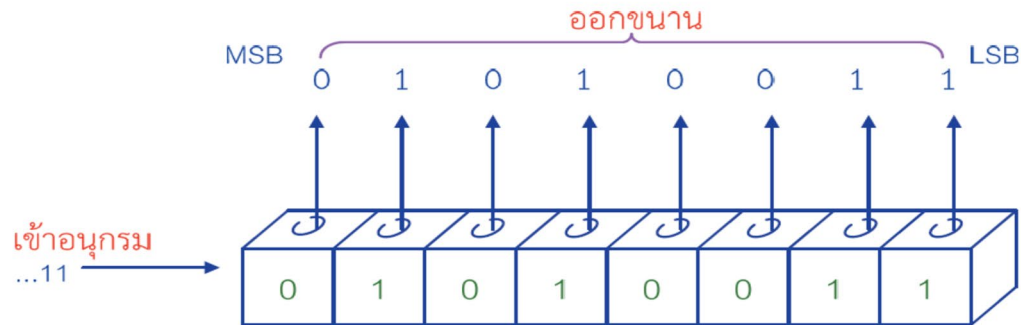
วงจรเลื่อนข้อมูลหรือชิพรีจิสเตอร์เป็นกลุ่มของฟลิปฟล็อปที่ต่อทำงานร่วมกัน มีจุดมุ่งหมายเพื่อใช้ในการเก็บข้อมูล หรือเลื่อนข้อมูลในรูปของเลขฐานสองเรียงตามฟลิปฟล็อปแต่ละตัวตามจังหวะของสัญญาณนาฬิกาในทิศทางที่ต้องการ โดยใช้ฟลิปฟล็อป 1 ตัว เพื่อเก็บข้อมูล 1 บิต ดังนั้นจำนวนฟลิปฟล็อปที่อยู่ในรีจิสเตอร์ 1 ตัว จึงหมายถึงขนาดของรีจิสเตอร์ที่เก็บได้ 1 คำ (Data word) ถ้ารีจิสเตอร์มีขนาด 8 บิตจะเรียกรีจิสเตอร์ตัวนั้นว่ามีขนาดคำเท่ากับ 1 ไบต์ (Byte)

7.1.1 ชนิดของวงจรชิพรีจิสเตอร์

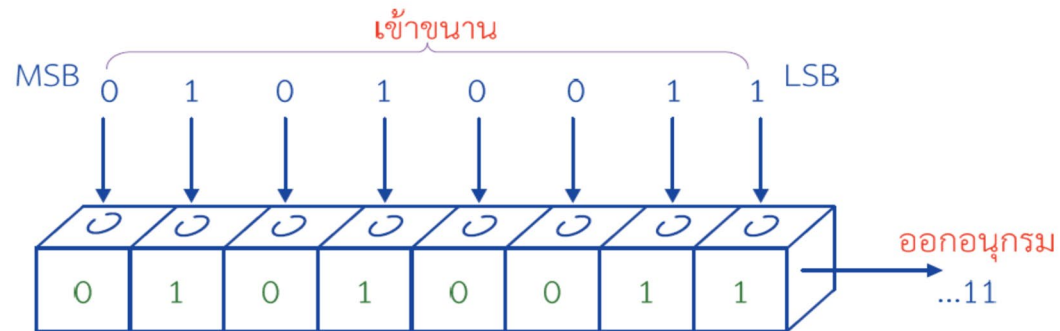
ชิพรีจิสเตอร์เป็นวงจรที่ใช้อย่างแพร่หลายในเครื่องคอมพิวเตอร์ เครื่องพิมพ์แบบต่าง ๆ เครื่องคำนวณอิเล็กทรอนิกส์ เป็นตัวกลางในการส่งผ่านข้อมูลสัญญาณทางดิจิทัล รีจิสเตอร์จึงเป็นอุปกรณ์สำคัญมากในระบบดิจิทัลในวงจรที่ต้องการส่งผ่านข้อมูลเข้าและออกจากระบบดิจิทัล ชิพรีจิสเตอร์สามารถแบ่งตามลักษณะการนำเข้าและส่งออกเป็น 4 แบบคือ แบบอนุกรมเข้า อนุกรมออก (SISO) แบบอนุกรมเข้าขนานออก (SIPO) แบบขนานเข้าอนุกรมออก (PISO) และแบบขนานเข้าขนานออก (PIPO) ซึ่งตัวย่อ S มาจาก Serial หมายถึงอนุกรม ตัวย่อ I มาจาก Input หมายถึงด้านเข้า ตัวย่อ P มาจาก Parallel หมายถึงขนาน ตัวย่อ O มาจาก Output หมายถึงด้านออก หลักการของวงจรเลื่อนข้อมูลทั้ง 4 แบบ แสดงดังรูปที่ 7.1 ถึง 7.4



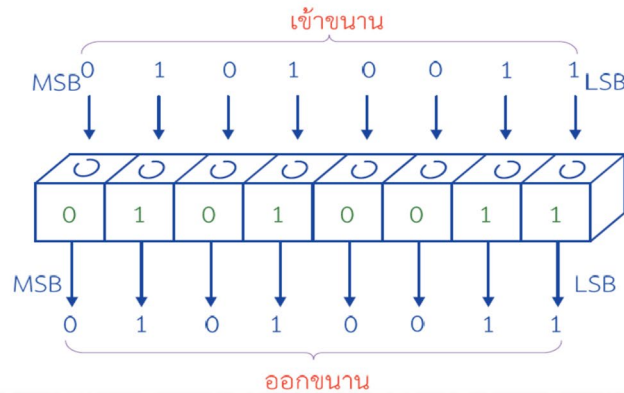
รูปที่ 7.1 ลักษณะการของ SISO วงจรเลื่อนข้อมูลแบบ (ข้อมูลเข้าอนุกรม – ออกอนุกรม)



รูปที่ 7.2 ลักษณะการของวงจรเลื่อนข้อมูลแบบ SIPO (ข้อมูลเข้าอนุกรม – ออกขนาน)



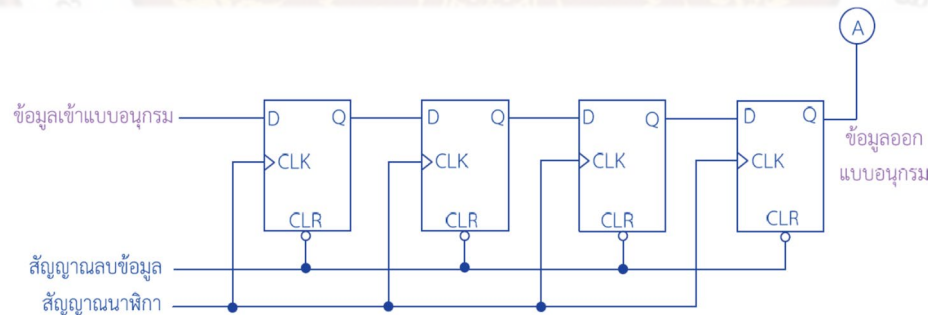
รูปที่ 7.3 ลักษณะการของวงจรเลื่อนข้อมูลแบบ PISO (ข้อมูลเข้าขนาน – ออกอนุกรม)



รูปที่ 7.4 ลักษณะการของวงจรเลื่อนข้อมูลแบบ PIPO (ข้อมูลเข้าขนาน – ออกขนาน)

1. วงจรเลื่อนข้อมูลเข้าแบบอนุกรม-ออกแบบอนุกรม (SISO)

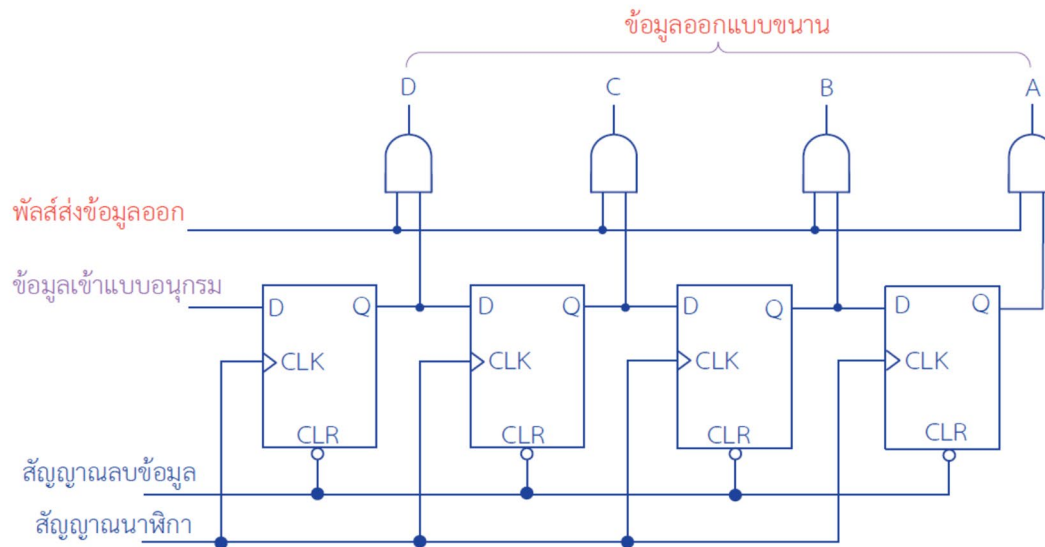
มีชื่อย่อว่าวงจรเลื่อนข้อมูลแบบ SISO เป็นชิพรีจิสเตอร์ที่ป้อนข้อมูลเข้าและส่งข้อมูลออกแบบอนุกรมที่มีสัญญาณนาฬิกาเป็นตัวควบคุมจังหวะในการป้อนข้อมูล และส่งข้อมูลออก สร้างโดยใช้जेकेฟลิปฟล็อปหรือดีฟลิปฟล็อป แสดงดังรูปที่ 7.5



รูปที่ 7.5 วงจรเลื่อนข้อมูลแบบ SISO ขนาด 4 บิต

2. วงจรเลื่อนข้อมูลเข้าแบบอนุกรม - ออกแบบขนาน (SIPO)

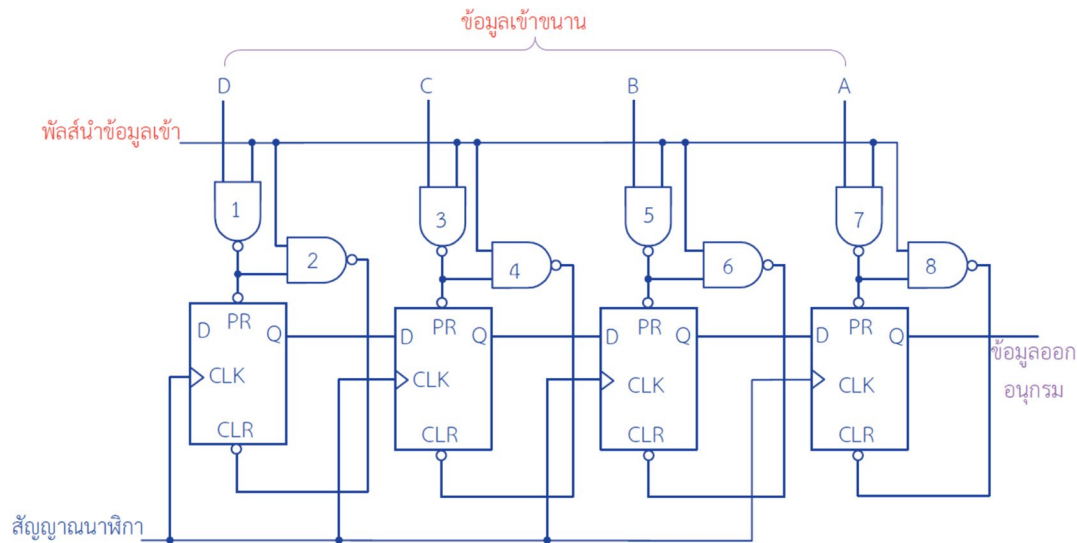
วงจรเลื่อนข้อมูลแบบ SIPO เป็นการป้อนข้อมูลเข้ารีจิสเตอร์แบบอนุกรมเริ่มจากฟลิปฟล็อป D แล้วเลื่อนไปยังฟลิปฟล็อปตัวถัดไปเมื่อสัญญาณนาฬิกาป้อนเข้ามาแต่ละครั้งเมื่อฟลิปฟล็อปทุกตัวได้รับข้อมูลครบ จากรูปที่ 7.6 รีจิสเตอร์ขนาด 4 บิตจะต้องใช้สัญญาณนาฬิกาเพื่อป้อนข้อมูลเข้ารีจิสเตอร์จำนวน 4 พัลส์ เมื่อข้อมูลป้อนเข้ารีจิสเตอร์ครบแล้วจึงใช้สัญญาณพัลส์ 1 พัลส์เพื่อส่งข้อมูลออกที่เอาต์พุตพร้อมกันทั้ง 4 บิต



รูปที่ 7.6 วงจรเลื่อนข้อมูลแบบ SIPO

3. วงจรเลื่อนข้อมูลเข้าแบบขนาน - ออกแบบนุกรม (PISO)

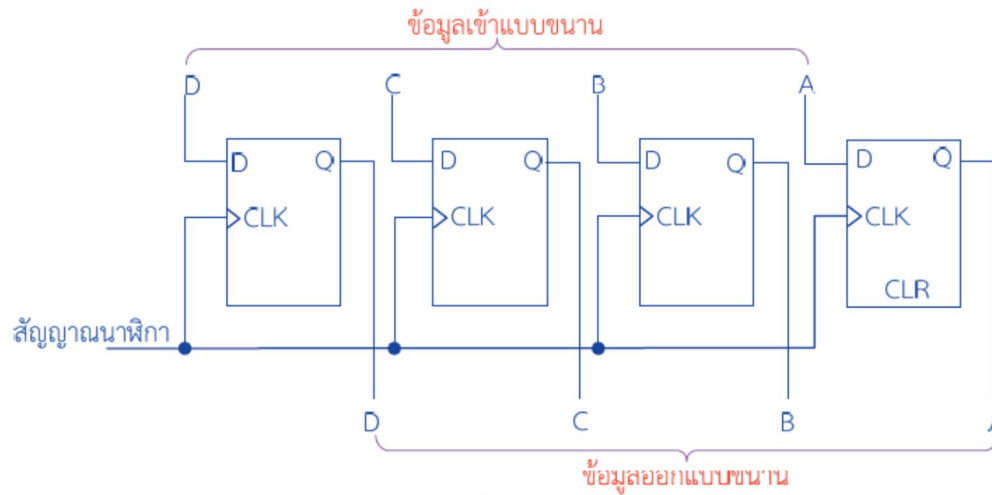
วงจรเลื่อนข้อมูลแบบ PISO เป็นชิพรีจิสเตอร์ที่ส่งข้อมูลเข้าที่ฟลิปฟล็อปพร้อมกันทุกตัวจากนั้นก็ใช้สัญญาณนาฬิกาเลื่อนข้อมูลออกทางเอาต์พุตตามลำดับ



รูปที่ 7.7 วงจรเลื่อนข้อมูลแบบ PISO

4. วงจรเลื่อนข้อมูลเข้าแบบขนาน - ออกแบบขนาน (PIPO)

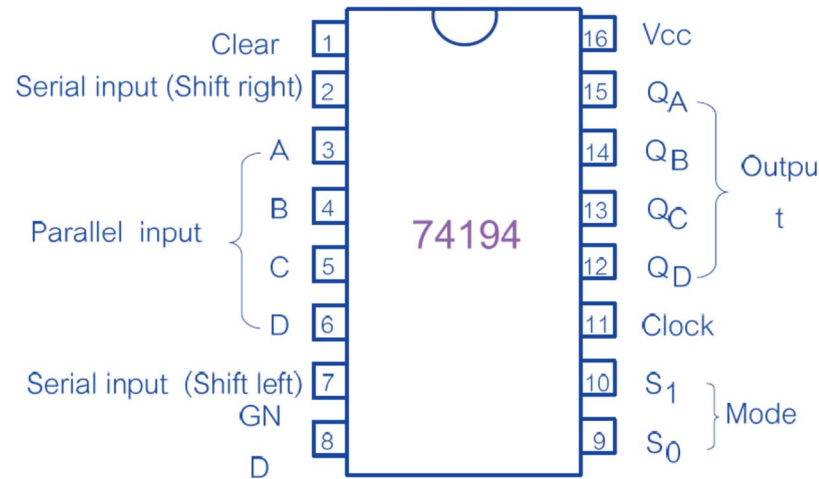
วงจรเลื่อนข้อมูลแบบ PIPO เป็นชิพรีจิสเตอร์ที่ส่งข้อมูลเข้าที่ฟลิปฟล็อปพร้อมกันทุกตัว และส่งข้อมูลออกพร้อมกันด้วยสัญญาณพัลส์เพียงลูกเดียว เป็นวิธีที่ง่ายและรวดเร็วที่สุดในการส่งผ่านข้อมูลแสดงดังรูปที่ 7.8



รูปที่ 7.8 วงจรเลื่อนข้อมูลแบบ PIPO

7.1.2 ไอซีเลื่อนข้อมูล

1. ไอซีเบอร์ 74194 (4 bit Bidirectional universal shift register) เป็นไอซีรีจิสเตอร์เลื่อนข้อมูลแบบ 4 บิต ที่ใช้งานได้แบบอเนกประสงค์ คือ สามารถสร้างเป็นวงจรรีจิสเตอร์เลื่อนข้อมูลได้ทั้ง 4 แบบคือ PIPO, PISO, SIPO, SISO และสามารถนำไปขยายจำนวนบิตเพิ่มขึ้นได้อีก มีตำแหน่งขา ดังรูปที่ 7.9 และการทำงานดังตารางที่ 7.1

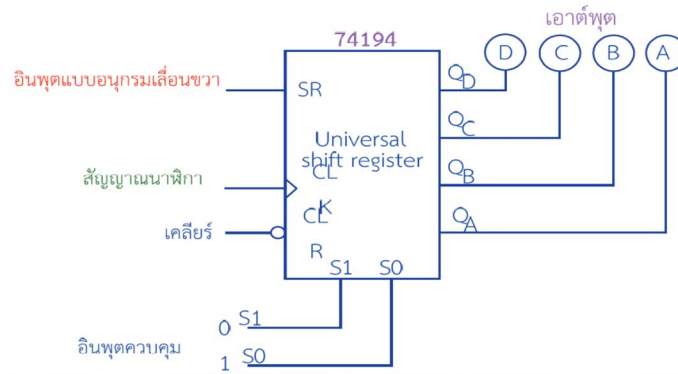


รูปที่ 7.9 ตำแหน่งขาของไอซีชิฟรีจิสเตอร์เบอร์ 74194

ตารางที่ 7.1 ตารางการทำงานไอซีชิพรีจิสเตอร์เบอร์ 74194

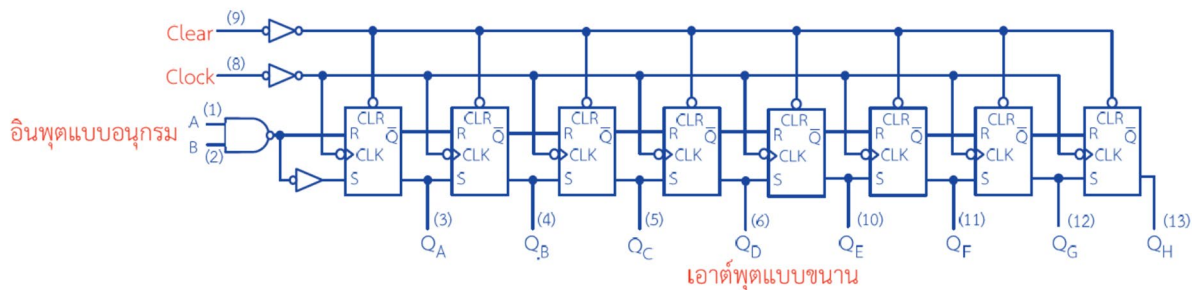
INPUTS									OUTPUTS				
CLEAR	MODE		CLOCK	SERIAL		PARALLEL				Q _D	Q _C	Q _B	Q _A
	S ₁	S ₀		LEFT	RIGHT	D	C	B	A				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
H	H	H		X	X	a	b	c	d	a	b	c	d
H	L	H		X	H	X	X	X	X	H	Q _{An}	Q _{Bn}	Q _{Cn}
H	L	H		X	L	X	X	X	X	L	Q _{An}	Q _{Bn}	Q _{Cn}
H	H	L		H	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	H
H	H	L		L	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	L
H	L	L	X	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}

การใช้งานไอซี 74194 เป็นรีจิสเตอร์เลื่อนข้อมูลแบบใดจะต้องควบคุมการทำงานที่ขา S₁ และ S₀ เช่นถ้าต้องการเข้าแบบขนานเข้าขนานออก จะต้องป้อนขาควบคุม S₁ = 1, S₀ = 1 แล้วป้อนข้อมูลเข้าแบบขนานที่อินพุต A ถึง D ถ้าต้องการเลื่อนแบบอนุกรมเข้าอนุกรมออกเลื่อนข้อมูลไปทางขวากระทำได้โดยการป้อนขา S₁ = 0, S₀ = 1 แล้วป้อนอินพุตเข้าที่ขาเลื่อนไปด้านขวา (SR) และป้อนสัญญาณนาฬิกาให้ไอซีข้อมูลก็จะเลื่อนจากเอาต์พุต D ไปยังเอาต์พุต A ดังรูปที่ 7.10



รูปที่ 7.10 วงจรชิพรีจิสเตอร์เลื่อนข้อมูลแบบอนุกรมเลื่อนทางขวา

2. ไอซีเบอร์ 74164 (8 Parallel out serial shift register) เป็นไอซีที่ใช้เลื่อนข้อมูลขนาด 8 บิตซึ่งมีการทำงานแบบอนุกรมเข้าอนุกรมออกและอนุกรมเข้าขนานออกมีโครงสร้างดังรูปที่ 7.11 และการทำงานดังตารางที่ 7.2



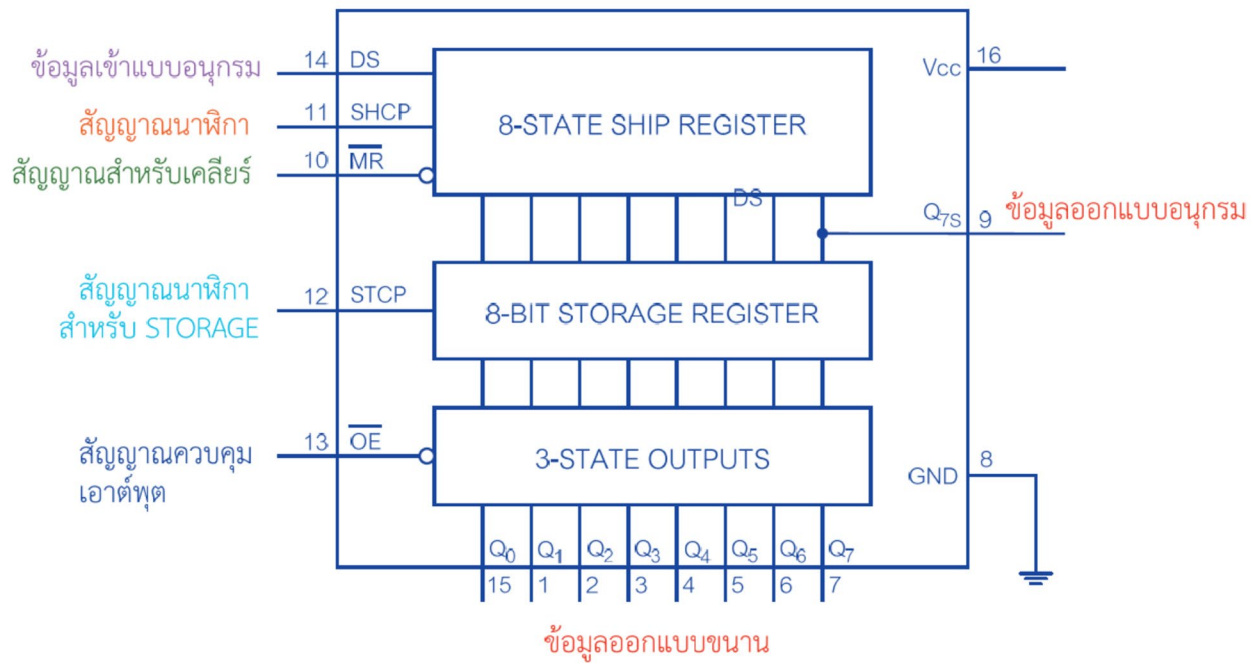
รูปที่ 7.11 โครงสร้างไอซีชิพรีจิสเตอร์เบอร์ 74164

ตารางที่ 7.2 ตารางการทำงานไอซีชิพรีจิสเตอร์เบอร์ 74164

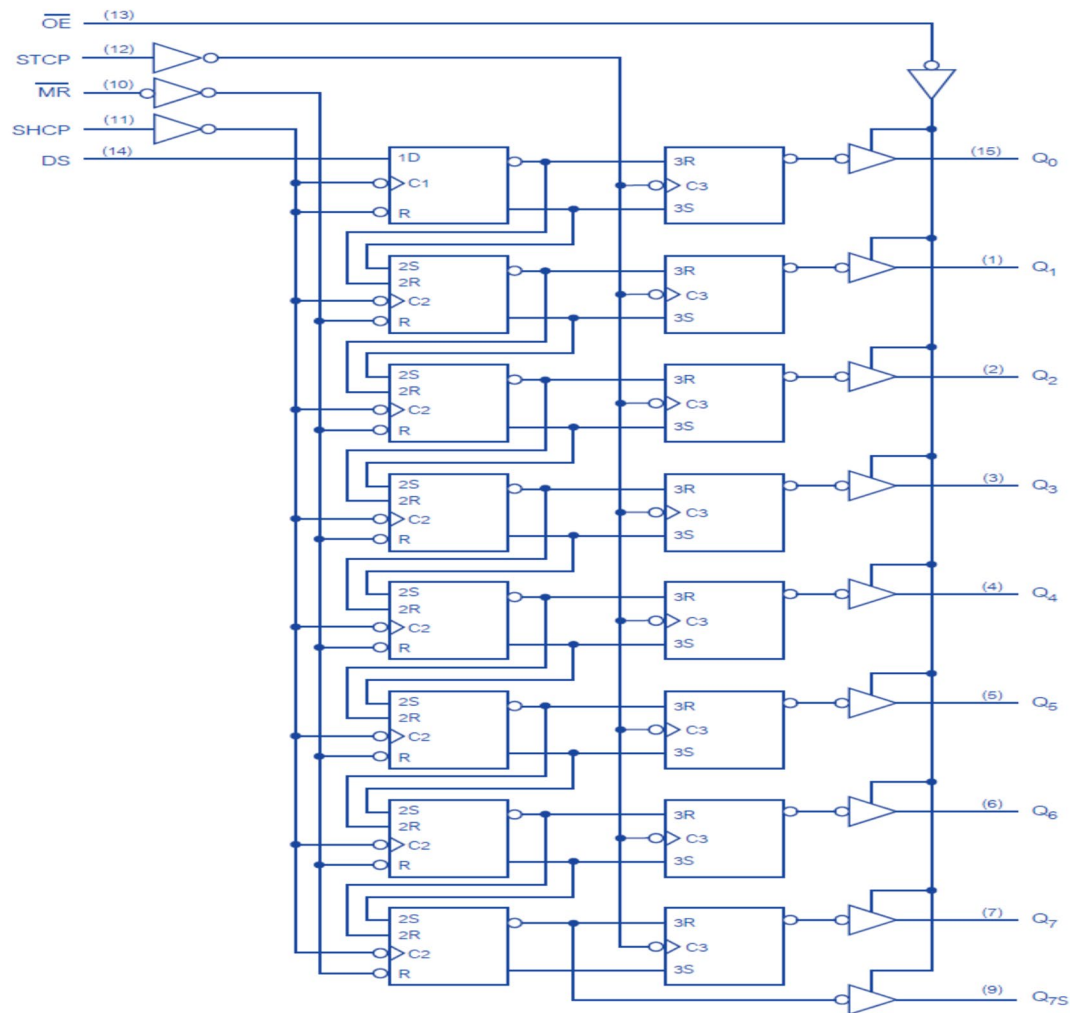
อินพุต				เอาต์พุต		
CLEAR	CLOCK	A	B	QA	QB	QH
L	X	X	X	L	L	L
H	L	X	X	Q _{A0}	Q _{B0}	Q _{H0}
H	↗	H	H	H	Q _{an}	Q _{Gn}
H	↗	L	X	L	Q _{an}	Q _{Gn}
H	↗	X	L	L	Q _{an}	Q _{Gn}

จากตารางมีหลักการทำงานดังนี้ เมื่อต้องใช้ขาอินพุตหนึ่งขา ขาอินพุตอีกขาจะต้องต่อไว้ที่ลอจิก 1 ถ้าขาอินพุตขาใดขาหนึ่งได้รับลอจิก “0” ก็จะไม่ทำงาน ไอซีเบอร์นี้จะใช้ขอบขานำของสัญญาณนาฬิกาเพื่อกระตุ้นให้ทำงาน การลบล้างข้อมูลโดยการป้อนขา Clear ด้วยลอจิก 0

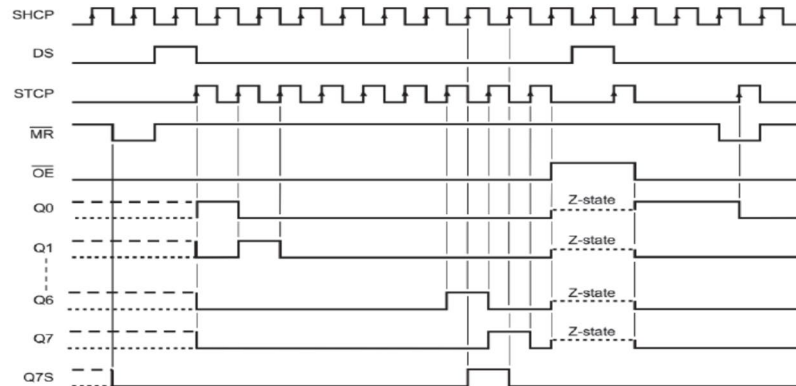
3. ไอซีเบอร์ 74HC595 (8-bit serial-in, serial or parallel-out shift register with output latches 3-state) เป็นไอซีที่ใช้เลื่อนข้อมูลขนาด 8 บิต ซึ่งข้อมูลเข้าเป็นแบบอนุกรม ข้อมูลออกแบบอนุกรมและแบบขนานแบบ ที่เอาต์พุตมีวงจรแลตช์ชนิด 3-State ไอซีเบอร์ 74HC595 นี้ มีฟังก์ชันไดอะแกรม แสดงดังรูปที่ 7.12 มีโครงสร้างภายในแสดงดังรูปที่ 7.13 ไดอะแกรมเวลาของไอซีเบอร์ 74HC595 แสดงดังรูปที่ 7.14



รูปที่ 7.12 ฟังก์ชันไดอะแกรมของไอซีชิฟต์รีจิสเตอร์เบอร์ 74HC595



รูปที่ 7.13 โครงสร้างภายในของไอซีชิฟต์รีจิสเตอร์เบอร์ 74HC595



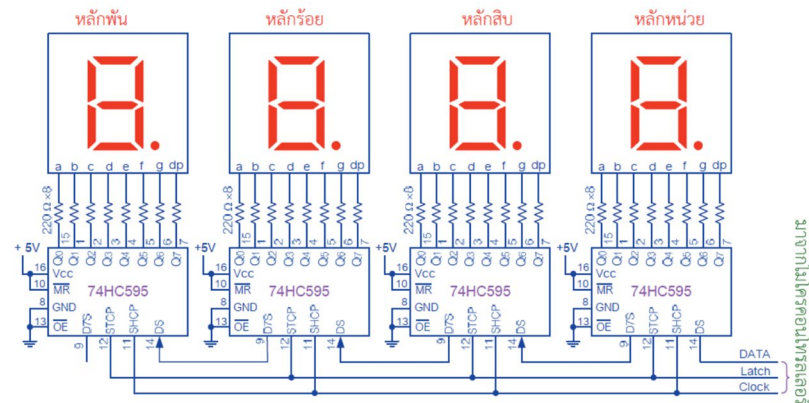
รูปที่ 7.14 ไตอะแกรมเวลาการทำงานของไอซีชิพรีจิสเตอร์เบอร์ 74HC595

ตารางที่ 7.3 ตารางการทำงานของไอซีชิพรีจิสเตอร์เบอร์ 74HC595

CONTROL				INPUT	OUTPUT		FUNCTION
SHCP	STCP	$\overline{OE}$	$\overline{MR}$	DS	Q7S	Qn	
X	X	L	L	X	L	n.c	a LOW level on MR only affects the shift registers
X		L	L	X	L	L	empty shift register loaded into storage register
X	X	H	L	X	L	Z	shift register clear; parallel outputs in high-impedance OFF-state
↑	X	L	H	H	Q6'	n.c	logic high level shifted into shift register stage 0; contents of all shift register stages shifted through, e.g. previous state of stage 6 (internal Q6') appears on the serial output (Q7')
x	↑	L	H	X	n.c	Qn'	contents of shift register stages (internal Qn') are transferred to the storage register and parallel output stages
↑	↑	L	H	X	Q6'	Qn'	contents of shift register shifted through; previous contents of the shift register is transferred to the storage register and the parallel output stages

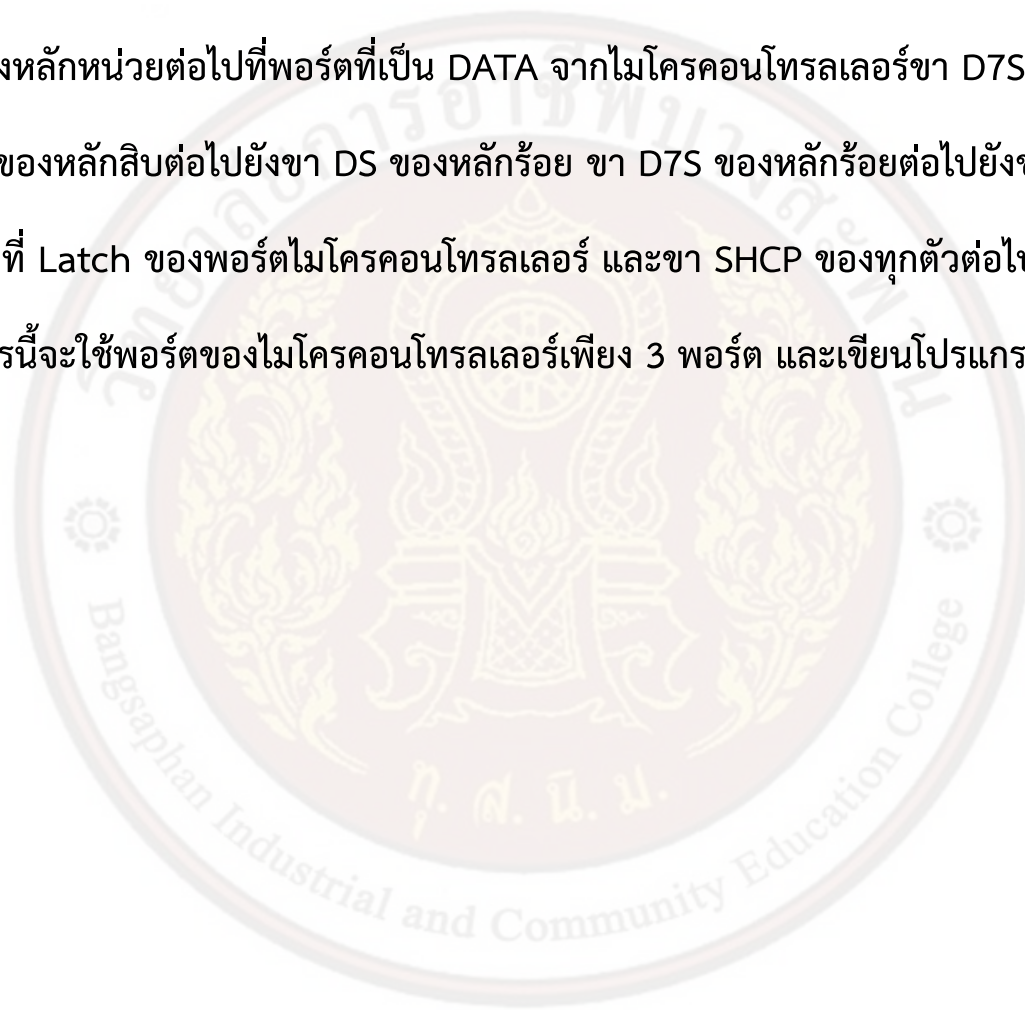
เมื่อ H = HIGH voltage level
L = LOW voltage level
↑ = LOW-to-HIGH transition
Z = high-impedance OFF-state
n.c. = no change
X = don't care

การใช้งานไอซีเบอร์ 74HC595 นิยมใช้ในการแสดงผลของไมโครคอนโทรลเลอร์เพราะว่าสามารถประหยัดพอร์ตของไมโครคอนโทรลเลอร์ได้มากและไม่ต้องมาสแกนส่งข้อมูลออกเอาต์พุตบ่อย ๆ เนื่องจากไอซีเบอร์ 74HC595 มีวงจรแลตช์ที่เอาต์พุต ทำให้ข้อมูลยังคงเดิมจนกว่าจะมีสัญญาณจาก SHCP และ STCP เอาต์พุตจึงจะเปลี่ยนแปลงตามข้อมูลใหม่ ตัวอย่างการใช้งานไอซีชิพรีจิสเตอร์เบอร์ 74HC595 สำหรับวงจรแสดงผลด้วย LED 7-segment จำนวน 4 หลัก แสดงดังรูปที่ 7.15



รูปที่ 7.15 วงจรแสดงผลด้วย LED 7-segment ที่ใช้ไอซีชิพรีจิสเตอร์เบอร์ 74HC595

จากรูปที่ 7.15 เป็นวงจรแสดงผลด้วย LED 7-segment จำนวน 4 หลัก โดยใช้ไอซีชิพรีจิสเตอร์เบอร์ 74HC959 จำนวน 4 ตัว ซึ่งขาอินพุต DS ของหลักหน่วยต่อไปที่พอร์ตที่เป็น DATA จากไมโครคอนโทรลเลอร์ขา D7S ของหลักหน่วยต่อไปยังขา DS ของหลักสิบ ขา D7S ของหลักสิบต่อไปยังขา DS ของหลักร้อย ขา D7S ของหลักร้อยต่อไปยังขา DS ของหลักพัน ส่วนขา STCP ของทุกตัวต่อไปที่ Latch ของพอร์ตไมโครคอนโทรลเลอร์ และขา SHCP ของทุกตัวต่อไปที่ Clock ของพอร์ตไมโครคอนโทรลเลอร์ วงจรนี้จะใช้พอร์ตของไมโครคอนโทรลเลอร์เพียง 3 พอร์ต และเขียนโปรแกรมให้ส่งข้อมูลออกแบบอนุกรมมาที่วงจรแสดงผล

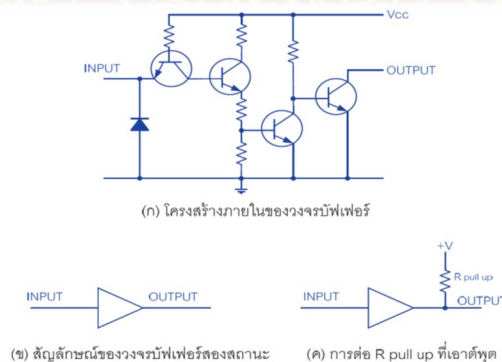


7.2 วงจรบัฟเฟอร์

วงจรบัฟเฟอร์ (Buffer circuit) เป็นวงจรที่ทำหน้าที่ต่อวงจรเข้าด้วยกันซึ่งแรงดันหรือความต้านทานของทั้งสองวงจรอาจจะเท่ากันหรือแตกต่างกัน วงจรยังทำงานได้ปกติ หรือวงจรบัฟเฟอร์อาจจะหมายถึงวงจรกันชน โดยทั่วไปวงจรบัฟเฟอร์ในระบบดิจิทัลมี 2 ชนิด ได้แก่ วงจรบัฟเฟอร์ที่ขาอินพุตกับขาเอาต์พุตหรือเรียกว่าวงจรบัฟเฟอร์สองสถานะ และวงจรบัฟเฟอร์ที่ขาอินพุต ขาเอาต์พุตและขาควบคุม วงจรบัฟเฟอร์ชนิดนี้เรียกว่าวงจรบัฟเฟอร์สามสถานะ

7.2.1 วงจรบัฟเฟอร์สองสถานะ

วงจรบัฟเฟอร์สองสถานะเป็นวงจรที่ทำหน้าที่เชื่อมต่อสัญญาณจากเอาต์พุตของวงจรหนึ่งไปสู่อินพุตของวงจรหนึ่งที่มีค่าแรงดันหรือความต้านทานต่างกัน วงจรบัฟเฟอร์ชนิดนี้จะมีวงจรด้านเอาต์พุตเป็นแบบ Open collector ดังนั้นต้องต่อ R Pull up ที่เอาต์พุตของวงจรบัฟเฟอร์ด้วย วงจรพื้นฐานของวงจรบัฟเฟอร์สองสถานะ แสดงดังรูปที่ 7.16



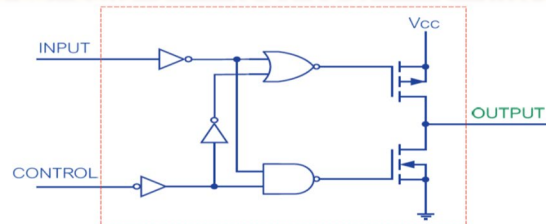
รูปที่ 7.16 โครงสร้างและสัญลักษณ์ของวงจรบัฟเฟอร์สองสถานะ

ตารางที่ 7.4 การทำงานของวงจربัพเฟอร์สองสถานะ

INPUT	OUTPUT
0	0
1	1

7.2.2 วงจربัพเฟอร์สามสถานะ

วงจربัพเฟอร์สามสถานะ(3-state buffer) เป็นวงจรที่มีขาอินพุตเอาต์พุต 3 ขาได้แก่ขา Input ขา Output และขา Control เอาต์พุตของวงจربัพเฟอร์ชนิดนี้จะมี 3 สถานะได้แก่ Low, High และ High impedance ซึ่ง Low หมายถึงลอจิก 0, High หมายถึงลอจิก 1 และ High impedance หมายถึงความต้านทานสูงจะไม่มีข้อมูล ขา Control หรือขา Output enable (OE) ของบัพเฟอร์สามสถานะมี 2 แบบคือทำงานด้วยลอจิก 1 (Active high) และทำงานด้วยลอจิก 0 (Active low) แสดงดังรูปที่ 7.17 และรูปที่ 7.18 การทำงานของบัพเฟอร์สามสถานะ แสดงดังตารางที่ 7.5 และตารางที่ 7.6

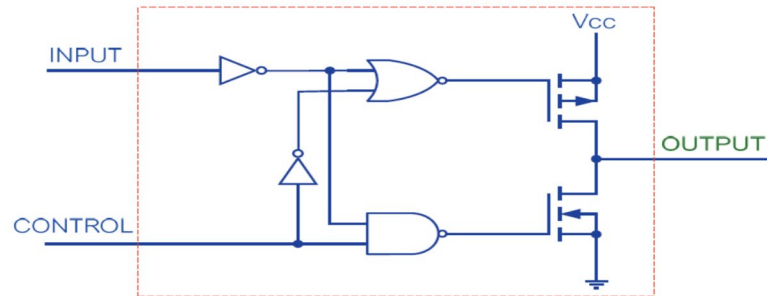


(ก) โครงสร้างบัพเฟอร์สามสถานะ Output enable : active low



(ข) สัญลักษณ์บัพเฟอร์สามสถานะ Output enable : active low

รูปที่ 7.17 วงจรและสัญลักษณ์บัพเฟอร์สามสถานะ Active low



(ก) โครงสร้างบัฟเฟอร์สามสถานะ Output enable : active high



(ข) สัญลักษณ์บัฟเฟอร์สามสถานะ Output enable : active high

รูปที่ 7.18 วงจรบัฟเฟอร์สามสถานะ Active high และ Active low

ตารางที่ 7.5 การทำงานของบัฟเฟอร์สามสถานะ Active high

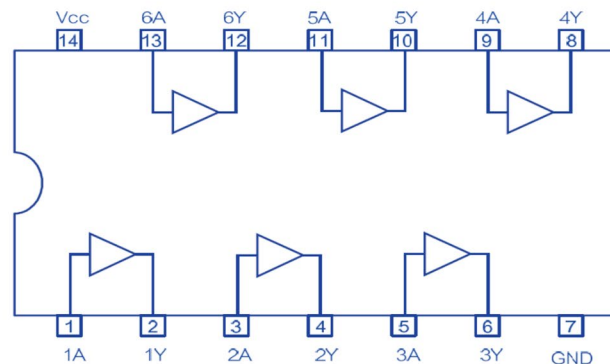
INPUT	CONTROL	OUTPUT
A	OE	Y
x	0	High impedance
0	1	0
1	1	1

ตารางที่ 7.6 การทำงานของบัฟเฟอร์สามสถานะ Active low

INPUT A	CONTROL $\overline{OE}$	OUTPUT Y
x	1	High impedance
0	0	0
1	0	1

7.2.3 ไอซีบัฟเฟอร์

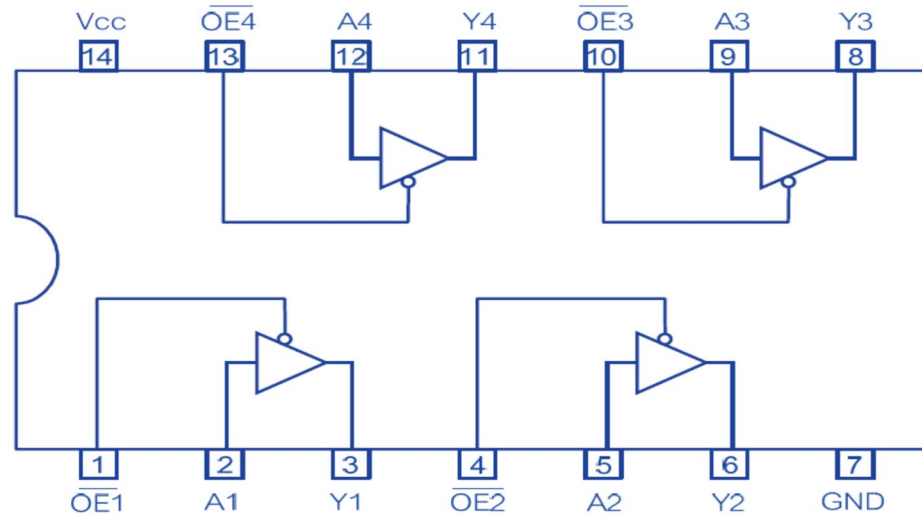
1. ไอซีบัฟเฟอร์สองสถานะเบอร์ 7407 และ 7417 (Hex buffers with high voltage open collector outputs) เป็นไอซีที่มีบัฟเฟอร์สองสถานะ ที่มีบัฟเฟอร์จำนวน 6 ตัว เป็นชนิด Open collector สามารถต่อแรงดันไฟฟ้าสูงกว่า 5 โวลต์ได้ โครงสร้างของไอซีเบอร์ 7407 และเบอร์ 7417 แสดงดังรูปที่ 7.19



รูปที่ 7.19 โครงสร้างของไอซีบัฟเฟอร์เบอร์ 7407 เบอร์ 7417

2. ไอซีบัฟเฟอร์สามสถานะเบอร์ 74HC125A (Quad 3-state buffer)

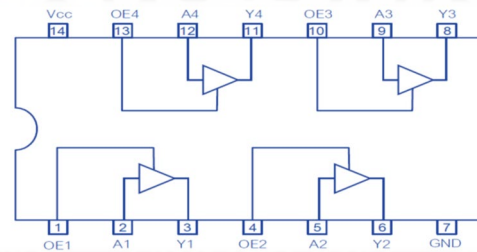
ไอซีเบอร์ 74HC125A เป็นไอซีบัฟเฟอร์สามสถานะ จำนวน 4 ตัว ควบคุมการส่งเอาต์พุตออก (Output enable) ทำงานที่ Active low โครงสร้างของไอซีบัฟเฟอร์สามสถานะ เบอร์ 74HC125A แสดงดังรูปที่ 7.20



รูปที่ 7.20 โครงสร้างของไอซีบัฟเฟอร์สามสถานะเบอร์ 74HC125A

3. ไอซีบัฟเฟอร์สามสถานะเบอร์ 74HC126A (Quad 3-state buffer)

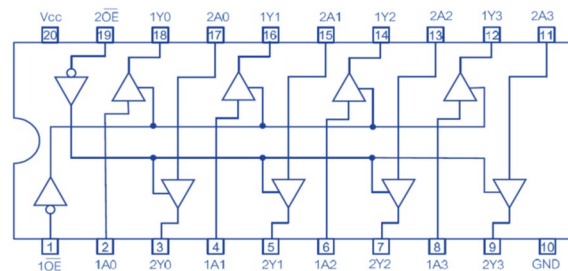
ไอซีเบอร์ 74HC125A เป็นไอซีบัฟเฟอร์สามสถานะ จำนวน 4 ตัว ควบคุมการส่งเอาต์พุตออกทำงานที่ Active high โครงสร้างของไอซีบัฟเฟอร์สามสถานะเบอร์ 74HC125A แสดงดังรูปที่ 7.21



รูปที่ 7.21 โครงสร้างของไอซีบัฟเฟอร์สามสถานะเบอร์ 74HC126A

3. ไอซีบัฟเฟอร์สามสถานะเบอร์ 74HC244

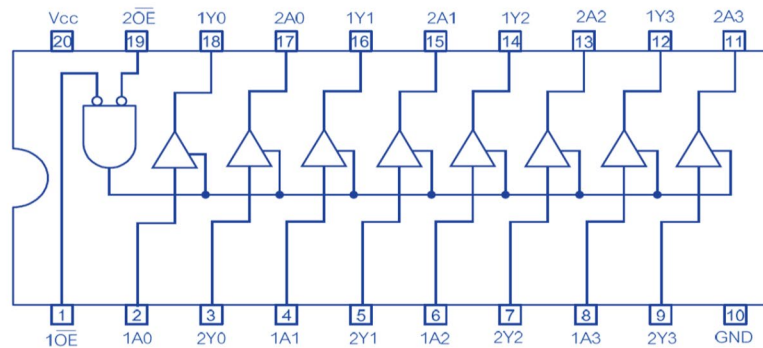
ไอซีเบอร์ 74HC244 เป็นไอซีบัฟเฟอร์สามสถานะ จำนวน 8 ตัว แบ่งเป็น 2 ชุด ๆ ละ 4 ตัวแต่ละชุดมีขา Output enable ควบคุม 1 ขา เอาต์พุต 1Y0 ถึง 1Y3 ถูกควบคุมด้วย 1 OE และ เอาต์พุต 2Y0 ถึง 2Y3 ถูกควบคุมด้วย 2 OE โครงสร้างของไอซีบัฟเฟอร์สามสถานะเบอร์ 74HC244 แสดงดังรูปที่ 7.22



รูปที่ 7.22 โครงสร้างของไอซีบัฟเฟอร์สามสถานะเบอร์ 74HC244

4. ไอซีบัฟเฟอร์สามสถานะเบอร์ 74HC541 (Octal buffer/line driver 3-state)

ไอซีบัฟเฟอร์สามสถานะเบอร์ 74HC541 เป็นไอซีบัฟเฟอร์สามสถานะ ที่มีจำนวน 8 ตัว ซึ่งขาอินพุตได้แก่ A0 ถึง A7 ขาเอาต์พุตได้แก่ Y0 ถึง Y7 และขาควบคุมสัญญาณเอาต์พุต จำนวน 2 ขาได้แก่ 1 OE และ 2 OE โครงสร้างของไอซีบัฟเฟอร์สามสถานะเบอร์ 74HC541 แสดงดังรูปที่ 7.23 และฟังก์ชันการทำงานแสดงดังตารางที่ 7.7



รูปที่ 7.23 โครงสร้างของไอซีบัฟเฟอร์สามสถานะเบอร์ 74HC541

ตารางที่ 7.7 ตารางการทำงานของไอซีเบอร์ 74HC541

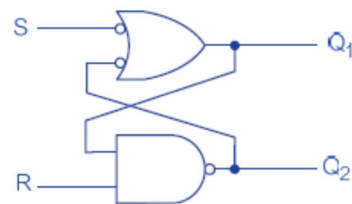
CONTROL		INPUT	OUTPUT
1 $\overline{OE}$	2 $\overline{OE}$	A	Y
X	H	X	High impedance
H	X	X	High impedance
L	L	L	L
L	L	H	H

7.3 วงจรฟลิปฟล็อป

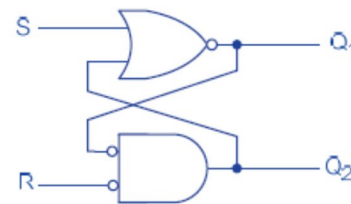
ฟลิปฟล็อป (Flip-Flop) เป็นวงจรอิเล็กทรอนิกส์ที่มีสถานะคงที่อยู่สองสถานะ มีหลักการทำงานคือถ้าได้รับสัญญาณอินพุตที่เหมาะสม ทำให้เอาต์พุตของฟลิปฟล็อปอยู่ที่ระดับลอจิกค่าหนึ่งและจะคงสภะนั้นต่อไป เมื่อต้องการให้เอาต์พุตเปลี่ยนสถานะใหม่จะต้องป้อนสัญญาณอินพุตที่เหมาะสมใหม่อีกครั้ง ฟลิปฟล็อปจำนวน 1 ตัว จะแทนหน่วยความจำได้ 1 Cell หมายถึง ฟลิปฟล็อป 1 ตัว สามารถเก็บข้อมูลได้ 1 บิต โดยข้อมูลนั้นอาจจะเป็นค่า "1" (สภาวะการ Set) หรือ "0" (สภาวะการ Reset) ก็ได้ ขึ้นอยู่กับการป้อนสัญญาณอินพุต โดยมีสัญญาณนาฬิกาเป็นตัวควบคุมการทำงานของฟลิปฟล็อป

7.3.1 Basic memory cell

Basic memory cell เป็นหน่วยความจำพื้นฐานของฟลิปฟล็อปมีโครงสร้างประกอบด้วยอินพุตจำนวน 2 ขา คือ ขา S (Set) และขา R (Reset) มีเอาต์พุต จำนวน 2 ขา คือขา Q1 และ Q2 Basic memory cell อาจจะเรียกว่า RS Flip Flop ก็ได้ แสดงดังรูปที่ 7.24



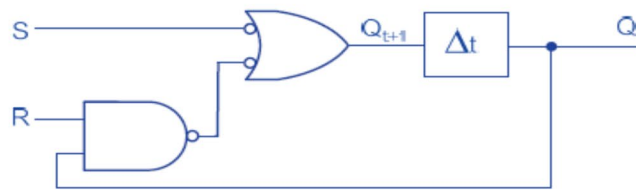
(ก) ทำมาจาก NAND gate



(ข) ทำมาจาก NOR gate

รูปที่ 7.24 โครงสร้างของ Basic memory cell

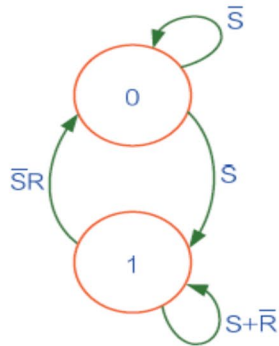
จากรูปที่ 7.24 (ก) สามารถวิเคราะห์โดยใช้ State table และ State diagram เพื่อวิเคราะห์การทำงานของ Basic memory cell ที่ทำมาจาก NAND gate ได้ดังรูปที่ 7.25



(ก) Basic Memory Cell ทำมาจาก NAND gate

S	R	Q_{t+1}
0	0	Q_t Hold
0	1	0 Reset
1	0	1 Set
1	1	1 Set

(ข) ตารางการทำงานของ Basic Memory Cell



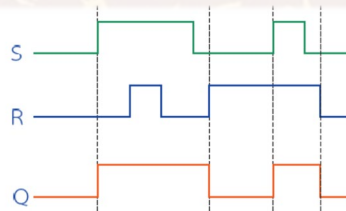
(ค) State diagram ของ Basic Memory Cell

$Q_t \rightarrow Q_{t+1}$	S	R
$0 \rightarrow 0$	0	X
$0 \rightarrow 1$	1	X
$1 \rightarrow 0$	0	1
$1 \rightarrow 1$	$\begin{Bmatrix} 0 \\ X \end{Bmatrix}$	$\begin{Bmatrix} X \\ 0 \end{Bmatrix}$

(ง) สภาวะการเปลี่ยนแปลงของ Basic Memory Cell

รูปที่ 7.25 State table และ State diagram ของ Basic memory cell

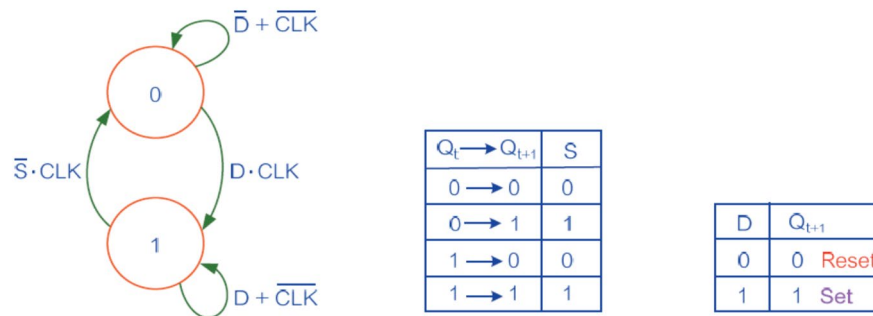
จากรูปที่ 7.25 เป็นการแสดงการทำงานของ Basic memory cell รูปที่ 7.25 (ก) เป็นโครงสร้างของ Basic memory cell ที่ทำมาจาก NAND gate ซึ่ง $Q_{(t+1)}$ หมายถึง Next state และ $\square_t$ หมายถึง เวลาที่ใช้สำหรับการเปลี่ยน State รูปที่ 7.25 (ข) เป็นตารางการทำงานของ Basic memory cell ถ้าหากขา S เป็น "0" และ R เป็น "0" จะทำให้เอาต์พุตไม่มีการเปลี่ยนแปลง หรือเรียกว่าสถานะ Hold ถ้าหากขา S เป็น "0" และ R เป็น "1" จะทำให้เอาต์พุตเป็น "0" หรือเรียกว่าสถานะ Reset ถ้าหากขา S เป็น "1" และ R เป็น "0" จะทำให้เอาต์พุตเป็น "1" หรือเรียกว่าสถานะ Set ถ้าหากขา S เป็น "1" และ R เป็น "1" จะทำให้เอาต์พุตเป็น "1" หรือเรียกว่าสถานะ Set เพราะว่าใน Basic memory cell จะให้ความสำคัญแก่ขา S มากกว่าขา R คือหากสัญญาณ Set และ Reset มาพร้อมกันจะให้ความสำคัญแก่ขา Set ส่วนรูปที่ 7.25 (ค) เป็น State diagram ของ Basic memory cell และส่วนรูปที่ 7.25 (ง) เป็นสภาวะการทำงานของ Basic memory cell ซึ่งถ้า Present state (Q_t) เป็น "0" ต้องการให้ Next state ($Q_{(t+1)}$) เป็น "0" จะต้องให้ขา S เป็น "0" และขา R เป็น X (สัญลักษณ์ X หมายถึง ไม่สนใจว่าเป็น "0" หรือ "1") ถ้าหาก Present state (Q_t) เป็น "0" ต้องการให้ Next state ($Q_{(t+1)}$) เป็น "1" จะต้องให้ขา S เป็น "1" และขา R เป็น "0" หรือ "1" ก็ได้ ถ้า Present state (Q_t) เป็น "1" ต้องการให้ Next state ($Q_{(t+1)}$) เป็น "0" จะต้องให้ขา S เป็น "0" และขา R เป็น "1" ถ้า Present state (Q_t) เป็น "1" ต้องการให้ Next state ($Q_{(t+1)}$) เป็น "1" จะต้องให้ขา S เป็น "0" ขา R เป็น X หรือให้ขา S เป็น X และขา R เป็น "0" ก็ได้



รูปที่ 7.26 Timing diagram ของ Basic memory cell

7.3.2 D Flip Flop

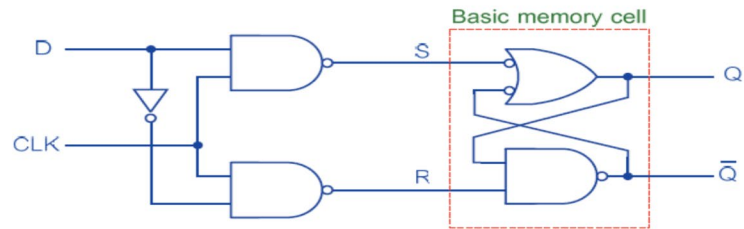
D Flip Flop หรือ Delay Flip Flop มีโครงสร้างประกอบด้วย Basic memory cell และ NAND gate จำนวน 2 ตัว และ NOT gate จำนวน 1 ตัว แสดงดังรูปที่ 7.27 ซึ่ง D Flip Flop จะทำงานในสถานะ Set ก็ต่อเมื่ออินพุต D ได้รับสัญญาณลอจิกเป็น "1" แต่เมื่อ D Flip Flop ได้รับสัญญาณอินพุตที่เป็น "0" จะทำให้ D Flip Flop ทำงานในสถานะ Reset การอธิบายการทำงานของ D Flip Flop แสดงดังรูปที่ 7.27



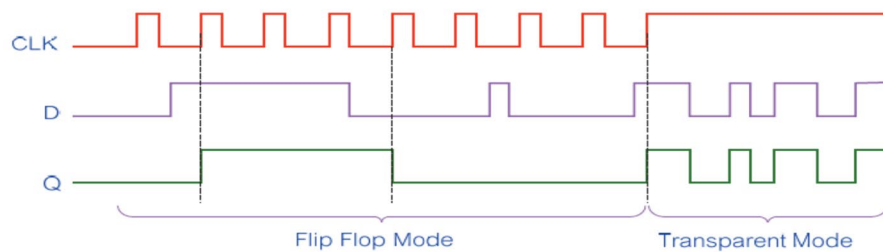
(ก) State diagram ของ D Flip Flop (ข) State transition ของ D Flip Flop (ค) ตารางการทำงาน

รูปที่ 7.27 การทำงานของ D Flip Flop

D Flip Flop ที่มีขารับสัญญาณนาฬิกา (CLK) สามารถทำงานได้ 2 Mode คือ Flip Flop Mode และ Transparent Mode โดยควบคุมที่ขา CLK ถ้าหากต้องการให้ทำงานในลักษณะ Flip Flop Mode ให้ป้อนสัญญาณนาฬิกาที่ขา CLK แต่ถ้าต้องการให้ทำงานในลักษณะ Transparent Mode ให้ต่อขา CLK ไปที่ "1" วงจรของ D Flip Flop ที่มีขารับสัญญาณนาฬิกา (CLK) แสดงดังรูปที่ 7.28



(ก) วงจร D Flip Flop ที่มีขารับสัญญาณนาฬิกา

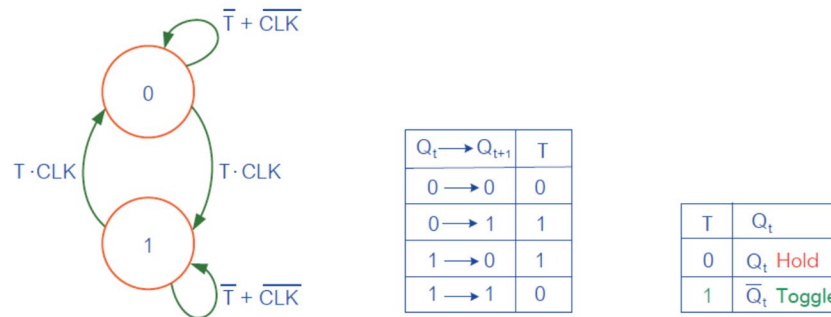


(ข) Timing diagram การทำงานของ วงจร D Flip Flop

รูปที่ 7.28 วงจรและ Timing diagram ของ D Flip Flop ที่มีขารับสัญญาณนาฬิกา

7.3.3 Toggle Flip Flop

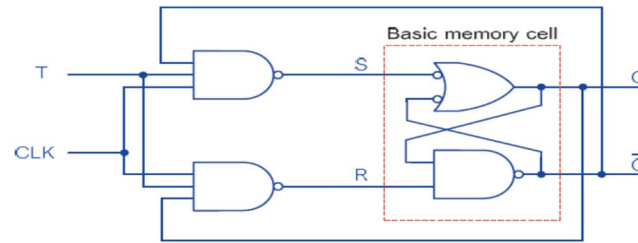
Toggle Flip Flop หรือ T Flip Flop มีโครงสร้างประกอบด้วย Basic memory cell และ NAND gate 3 อินพุต จำนวน 2 ตัว แสดงดังรูปที่ 7.29 ซึ่ง T Flip Flop จะทำงาน 2 สถานะ คือ สถานะ Hold กับสถานะ Toggle การทำงานในสถานะ Toggle คือการเปลี่ยนแปลงสถานะของสัญญาณเอาต์พุตเป็นตรงกันข้าม สำหรับการทำงานของ T Flip Flop แสดงดังรูปที่ 7.29



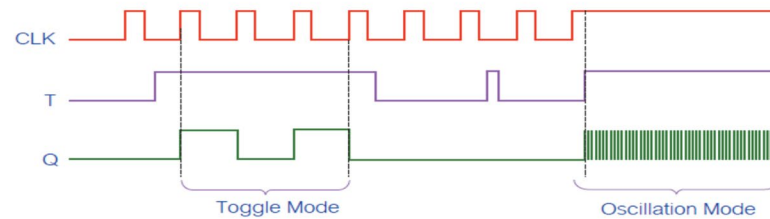
(ก) State diagram ของ T Flip Flop (ข) State transition ของ T Flip Flop (ค) ตารางการทำงาน

รูปที่ 7.29 การทำงานของ T Flip Flop

จากรูปที่ 7.29 (ก) สมมติเอาต์พุต Q_t ของ T Flip Flop มีค่าเป็น "1" และเมื่ออินพุต T ได้รับระดับสัญญาณ "1" ทำให้เอาต์พุต Q_{t+1} ของ T Flip Flop มีค่าเป็น "0" หรือเปลี่ยนเป็นตรงกันข้าม และถ้าเอาต์พุต Q_t ของ T Flip Flop มีค่าเป็น "0" และเมื่ออินพุต T ได้รับระดับสัญญาณ "1" จะทำให้เอาต์พุต Q_{t+1} ของ T Flip Flop มีค่าเป็น "1" ในรูปที่ 7.29 (ข) แสดง State transition ของ T Flip Flop สมมติ Present state (Q_t) เป็น "0" ถ้าต้องการให้ Next state (Q_{t+1}) เป็น "0" ค่าระดับลอจิกที่ขาอินพุต T จะต้องเป็น "0" ถ้า Present state (Q_t) เป็น "0" ถ้าต้องการให้ Next state (Q_{t+1}) เป็น "1" ค่าระดับลอจิกที่ขาอินพุต T จะต้องเป็น "1" ถ้า Present state (Q_t) เป็น "1" ถ้าต้องการให้ Next state (Q_{t+1}) เป็น "0" ค่าระดับลอจิกที่ขาอินพุต T จะต้องเป็น "1" ถ้า Present state (Q_t) เป็น "1" ถ้าต้องการให้ Next state (Q_{t+1}) เป็น "0" ค่าระดับลอจิกที่ขาอินพุต T จะต้องเป็น "0" ส่วนรูปที่ 7.29 (ค) เป็นตารางการทำงานของ T Flip Flop วงจรของ T Flip Flop ที่มีขาได้รับสัญญาณนาฬิกา (CLK) แสดงดังรูปที่ 7.30



(ก) วงจร T Flip Flop ที่มีขารับสัญญาณนาฬิกา



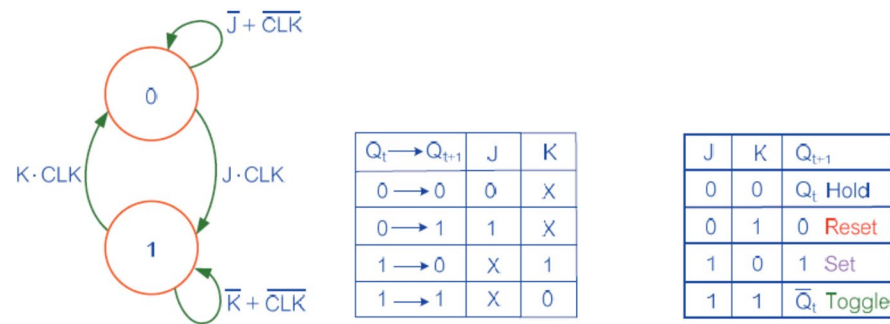
(ข) Timing diagram การทำงานของ วงจร T Flip Flop

รูปที่ 7.30 วงจรและ Timing diagram ของ T Flip Flop ที่มีขารับสัญญาณนาฬิกา

จากรูปที่ 7.30 (ข) พบว่า T Flip Flop ทำงาน 2 Mode ได้แก่ Toggle Mode และ Oscillation Mode ถ้าหากต้องการให้ T Flip Flop ทำงานเป็น Toggle Mode ให้ป้อนสัญญาณนาฬิกาเข้าที่อินพุต CLK และป้อนสัญญาณอินพุตที่เป็นสัญญาณระดับลอจิกเข้าที่ T ถ้าหากสัญญาณที่อินพุต T มีค่าเป็น "1" เมื่อมีสัญญาณนาฬิกาขอบขาขึ้นเข้ามาที่อินพุต CLK จะทำให้เอาต์พุตของ T Flip Flop เปลี่ยนเป็นตรงกันข้าม แต่ถ้าอินพุต T มีค่าเป็น "0" เอาต์พุตของ T Flip Flop จะเป็น "0" ถ้าหากต้องการให้ T Flip Flop ทำงานเป็น Oscillation Mode ให้ป้อนลอจิก "1" เข้าที่อินพุต CLK และที่อินพุต T สัญญาณเอาต์พุตจะเป็นสัญญาณความถี่สูง

7.3.4 JK Flip Flop

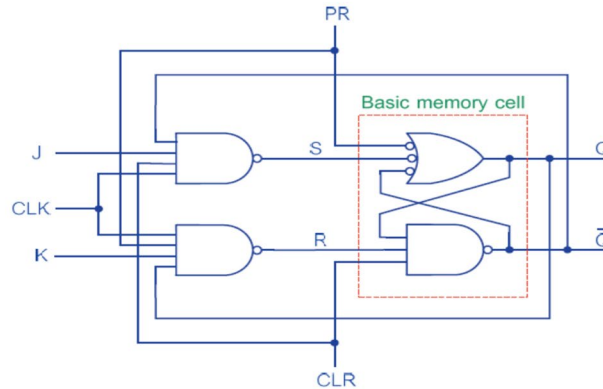
JK Flip Flop สามารถทำงานได้ 4 สถานะ ได้แก่ Hold, Set, Reset และ Toggle ดังนั้น JK Flip Flop จึงเป็นการรวมคุณสมบัติของ D Flip Flop และ T Flip Flop เข้าด้วยกัน การทำงาน ของ JK Flip Flop แสดงดังรูปที่ 7.31



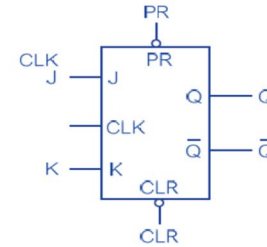
(ก) State diagram ของ JK Flip Flop (ข) State transition ของ JK Flip Flop (ค) ตารางการทำงาน

รูปที่ 7.31 การทำงานของ JK Flip Flop

เพื่อให้ JK Flip Flop สามารถทำงานได้หลายฟังก์ชันมากขึ้น ผู้ออกแบบได้เพิ่มขา Clear (CLR) และขา Preset (PR) ซึ่งออกแบบให้ Active low ดังนั้นสัญลักษณ์ของ JK Flip Flop with Preset and Clear แสดงดังรูปที่ 7.32



(ก) วงจรของ JK Flip Flop with Preset and Clear

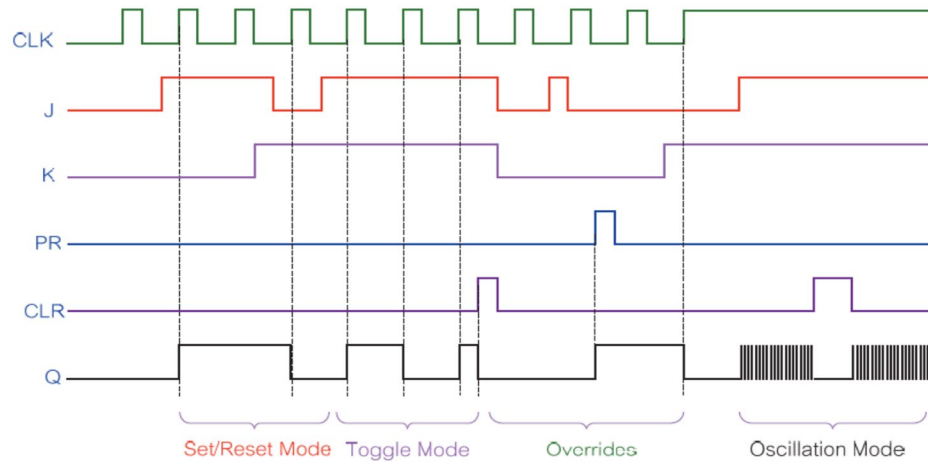


(ข) สัญลักษณ์ของ JK Flip Flop

รูปที่ 7.32 วงจรและสัญลักษณ์ของ JK Flip Flop with Preset and Clear

การทำงานของ JK Flip Flop with Preset and Clear มีข้อควรพิจารณาดังนี้

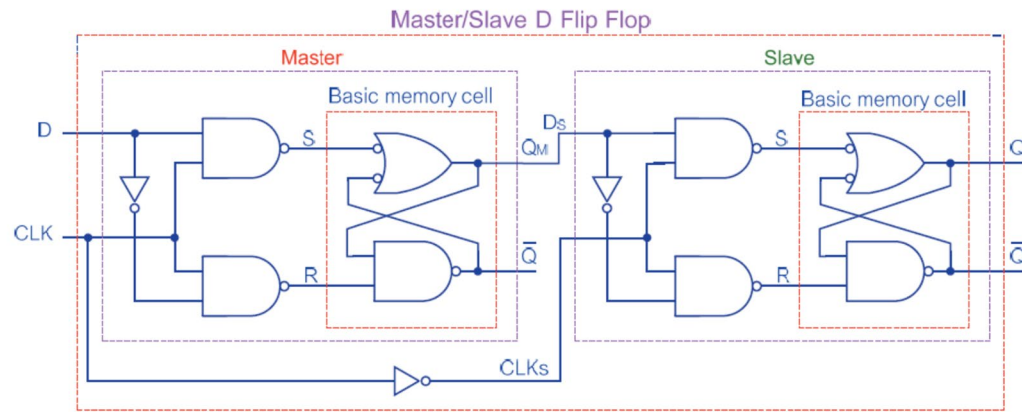
1. เพื่อไม่ให้เกิด Logic noise และ Oscillation ค่าความกว้างของสัญญาณนาฬิกาพัลส์บวกจะต้องมีค่าน้อยที่สุด
2. ถ้าต้องการให้เอาต์พุตของ JK Flip Flop นี้มีค่าเป็นลอจิก "1" ให้ป้อนอินพุตขา PR เป็นลอจิก "0" ถ้าไม่ต้องการให้ป้อนอินพุตขา PR เป็นลอจิก "1"
3. ถ้าต้องการให้เอาต์พุตของ JK Flip Flop มีค่าเป็นลอจิก "0" ให้ป้อนอินพุตขา CLR เป็นลอจิก "0" ถ้าไม่ต้องการให้ป้อนอินพุตขา CLR เป็นลอจิก "1"
4. ถ้าต้องการให้เอาต์พุตของ JK Flip Flop นี้ทำงานใน Mode อื่น ๆ ให้ป้อนอินพุตขา CLR และขา PR เป็นลอจิก "1" และป้อนสัญญาณนาฬิกาที่ขา CLK และลอจิกอินพุตที่ขา J และขา K จากข้อกำหนดดังกล่าวสามารถเขียนเป็น Timing diagram การทำงานของ JK Flip Flop with Preset and Clear ได้ดังรูปที่ 7.33



รูปที่ 7.33 Timing diagram การทำงานของ JK Flip Flop with Preset and Clear

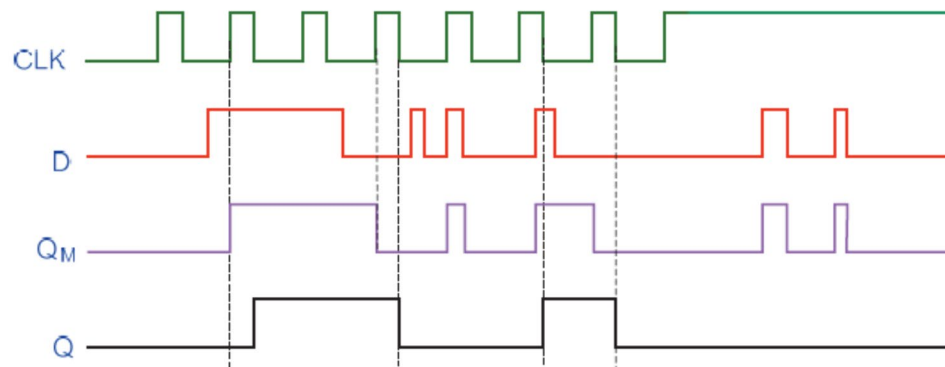
7.3.5 Master/Slave D Flip Flop

จากปัญหาที่เกิดขึ้นอันเนื่องมาจากความกว้างของสัญญาณพัลส์บวกของสัญญาณนาฬิกา (Duration time) ได้สร้างปัญหาให้กับ D Flip Flop, T Flip Flop และ JK Flip Flop เกิดผิดพลาดจากคุณสมบัติเฉพาะของ ฟลิปฟล็อปเหล่านั้น เพื่อแก้ปัญหาดังกล่าวจึงได้เกิดฟลิปฟล็อป ชนิด Master/Slave D Flip Flop ขึ้นมา โดยประกอบด้วย D Flip Flop จำนวน 2 ชุด และ NOT gate จำนวน 1 ตัว D Flip Flop จำนวน 2 ชุด ประกอบด้วยชุด Master และชุด Slave โครงสร้างของ Master/Slave D Flip Flop แสดงดังรูปที่ 7.34



รูปที่ 7.34 วงจรของ Master/Slave D Flip Flop

การทำงานของ Master/Slave D Flip Flop แสดงดังรูปที่ 7.35

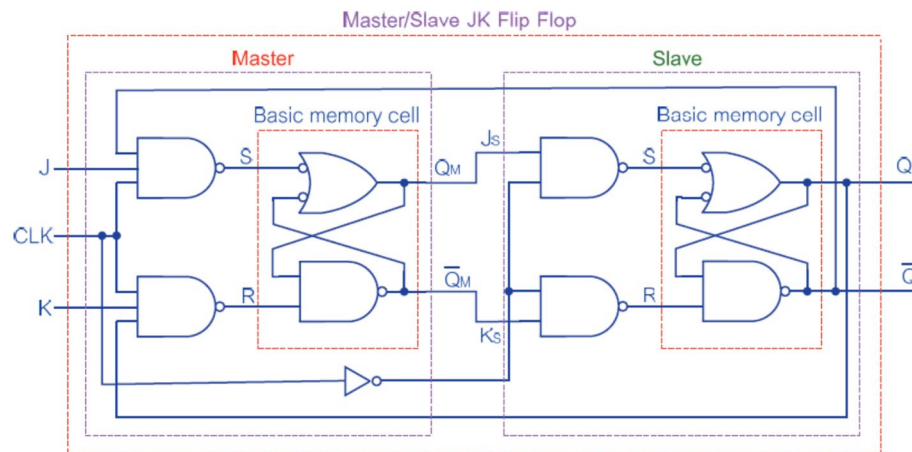


รูปที่ 7.35 Timing diagram การทำงานของ Master/Slave D Flip Flop

จากรูปที่ 7.35 พบว่าสัญญาณที่เอาต์พุต Q จะไม่มีสัญญาณรบกวน ถึงแม้ว่าที่จุดเอาต์พุตของวงจร Master จะมีสัญญาณรบกวน แต่เอาต์พุตของวงจร Slave จะไม่มีสัญญาณรบกวน ดังนั้น Master/Slave D Flip Flop จึงทำงานได้ดีกว่า D Flip Flop ธรรมดา

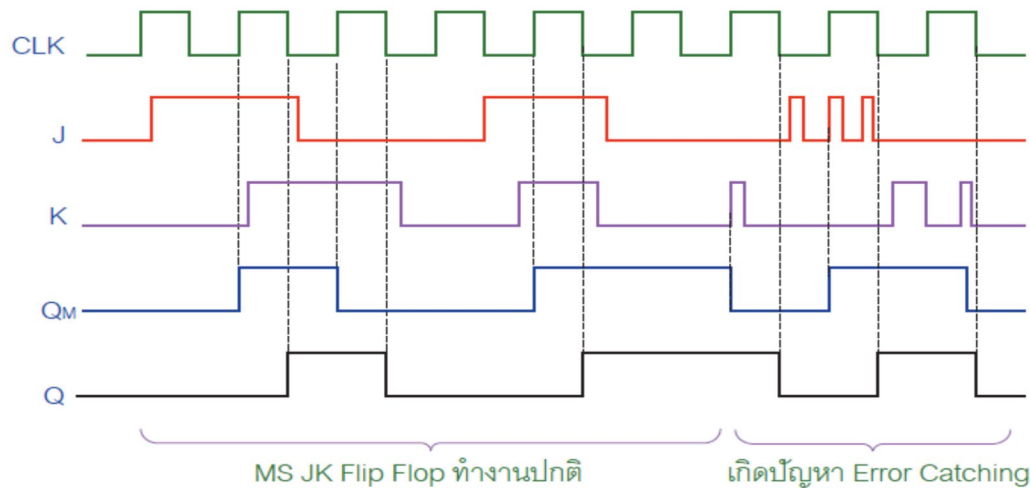
7.3.6 Master/Slave JK Flip Flop

เช่นเดียวกันกับ Master/Slave D Flip Flop เพื่อแก้ปัญหาที่เกิดจาก JK Flip Flop จึงได้สร้างฟลิปฟล็อปชนิด Master/Slave JK Flip Flop ขึ้นมา โดยประกอบด้วย JK Flip Flop จำนวน 2 ชุด และ NOT gate จำนวน 1 ตัว JK Flip Flop จำนวน 2 ชุด ประกอบด้วยชุด Master และชุด Slave โครงสร้างของ Master/Slave JK Flip Flop แสดงดังรูปที่ 7.36



รูปที่ 7.36 วงจรของ Master/Slave JK Flip Flop

การทำงานของ Master/Slave JK Flip Flop แสดงดัง Timing diagram ในรูปที่ 7.37



รูปที่ 7.37 Timing diagram การทำงานของ Master/Slave D Flip Flop

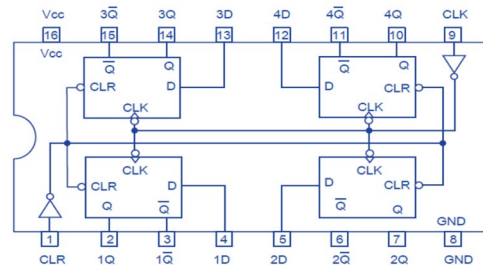
จากรูปที่ 7.37 พบว่าสัญญาณที่เอาต์พุต Q จะไม่มีสัญญาณรบกวน ถึงแม้ว่าที่จุดเอาต์พุตของวงจร Master จะมีสัญญาณรบกวน แต่เอาต์พุตของวงจร Slave จะไม่มีสัญญาณรบกวน ดังนั้น Master/Slave JK Flip Flop จึงทำงานได้ดีกว่า JK Flip Flop ธรรมดา

7.4 ไอซีฟลิปฟล็อป

ปัจจุบันมีผู้ผลิตไอซีฟลิปฟล็อปออกมาใช้งานหลายเบอร์ เพื่อให้ผู้ใช้สามารถเลือกใช้ให้เหมาะสมกับงานต่าง ๆ ในระบบดิจิทัล

7.4.1 ไอซี D Flip Flop เบอร์ SN74175, SN74LS175

ไอซีเบอร์ SN74175 เป็นไอซี D Flip Flop จำนวน 4 ตัว ที่ใช้สัญญาณนาฬิกาพัลส์บวกขอบขาขึ้นสำหรับทริกและมีขาอินพุต Clear มีโครงสร้างดังรูปที่ 7.38 และตารางการทำงาน แสดงดังตารางที่ 7.8



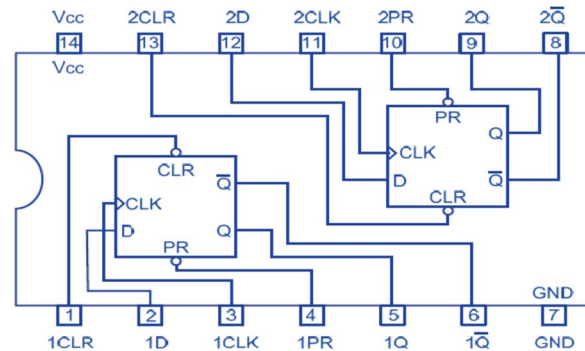
รูปที่ 7.38 โครงสร้างไอซี D Flip Flop เบอร์ SN74175, 74LS175

ตารางที่ 7.8 การทำงานของไอซี D Flip Flop เบอร์ SN74175, 74LS175

INPUT			OUTPUT	
$\overline{\text{CLR}}$	CLK	D	Q	$\overline{\text{Q}}$
L	X	X	L	H
H	f	H	H	L
H	f	L	L	H
H	L	X	Q_0	$\overline{Q}_0$

7.4.2 ไอซี D Flip Flop เบอร์ SN7474, SN74LS74A, SN74S74

ไอซีเบอร์ SN7474, SN74LS74A, SN74S74 เป็นไอซี D Flip Flop จำนวน 2 ตัว ที่ใช้สัญญาณนาฬิกาพัลส์บวกขอบขาขึ้นสำหรับทริกและมีขาอินพุต Preset และขาอินพุต Clear มีโครงสร้างดังรูปที่ 7.39 และตารางการทำงานแสดงดังตารางที่ 7.9



รูปที่ 7.39 โครงสร้างไอซี D Flip Flop เบอร์ SN7474, SN74LS74A, SN74S74
ตารางที่ 7.9 การทำงานของไอซี D Flip Flop เบอร์ SN7474, SN74LS74A, SN74S74

INPUT				OUT	
$\overline{\text{PR}}$	$\overline{\text{CLR}}$	CLK	D	Q	$\overline{\text{Q}}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	f	H	H	L
H	H	f	L	L	H
H	H	L	X	Q_0	$\overline{Q}_0$

เมื่อ H = HIGH Logic Level

X = Either LOW or HIGH Logic Level

L = LOW Logic Level

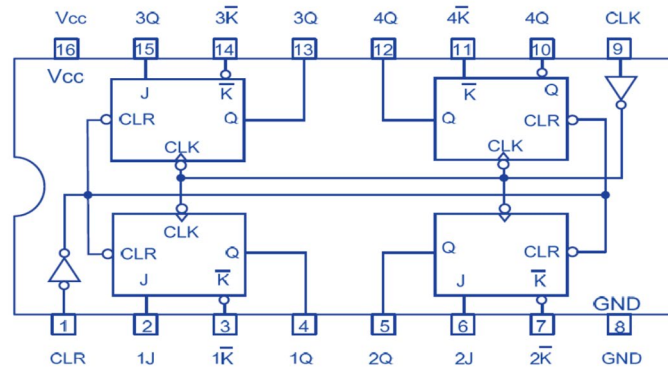
↑ = Positive-going Transition

Q₀ = The output logic level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (HIGH) level.

7.4.3 ไอซี JK Flip Flop เบอร์ SN74376

ไอซีเบอร์ SN74376 เป็นไอซี JK Flip Flop จำนวน 4 ตัว ที่ใช้สัญญาณนาฬิกาพัลส์บวกขอบขาขึ้นเป็นสัญญาณทรigger และมีขาอินพุต Clear มีโครงสร้างดังรูปที่ 7.40 และตารางการทำงาน แสดงดังตารางที่ 7.10 ข้อสังเกต ขา K จะทำงานที่ Active low



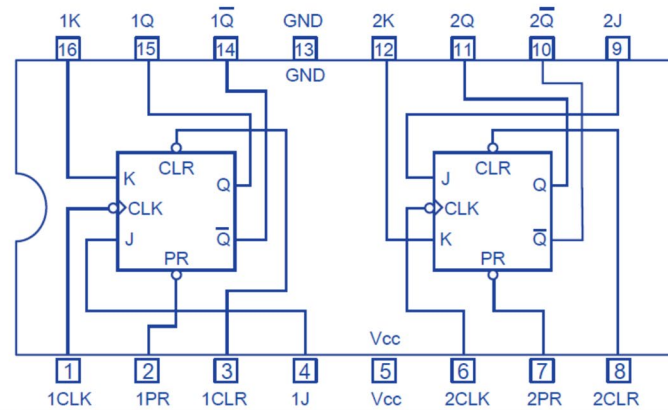
รูปที่ 7.40 โครงสร้างไอซี JK Flip Flop เบอร์ SN74376

ตารางที่ 7.10 การทำงานของไอซี JK Flip Flop เบอร์ SN74376

INPUT				OUTPUT
$\overline{\text{CLR}}$	CLK	J	$\overline{\text{K}}$	Q
L	X	X	X	L
H	↓	H	L	Q_0
H	↓	L	H	H
H	L	L	L	L
H	↓	H	L	TOGGLE
H	L	X	X	Q_0

7.4.4 ไอซี JK Flip Flop เบอร์ 7476, 74LS76A

ไอซีเบอร์ SN7476, SN74LS76A เป็นไอซี JK Flip Flop จำนวน 2 ตัว ที่ใช้สัญญาณนาฬิกาพัลส์บวก (สำหรับเบอร์ 7476) และพัลส์บวกขอบขาลง (สำหรับเบอร์ 74LS76A) เป็นสัญญาณทริก และมีขาอินพุต Preset และขาอินพุต Clear มีโครงสร้างดังรูปที่ 7.41 และตารางการทำงานสำหรับเบอร์ 7476 แสดงดังตารางที่ 7.11 และตารางการทำงานสำหรับเบอร์ 74LS76A แสดงดังตารางที่ 7.12



รูปที่ 7.41 โครงสร้างไอซี JK Flip Flop เบอร์ SN7476, SN74LS76A
ตารางที่ 7.11 การทำงานของไอซี JK Flip Flop เบอร์ SN7476

INPUT					OUTPUT	
$\overline{\text{PR}}$	$\overline{\text{CLR}}$	CLK	J	K	Q	$\overline{\text{Q}}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H (Note 1)	H (Note 1)
H	H		L	L	Q_0	$\overline{Q}_0$
H	H		H	L	H	L
H	H		L	H	L	H
H	H		H	H	TOGGLE	

Note 1: This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (HIGH) level.

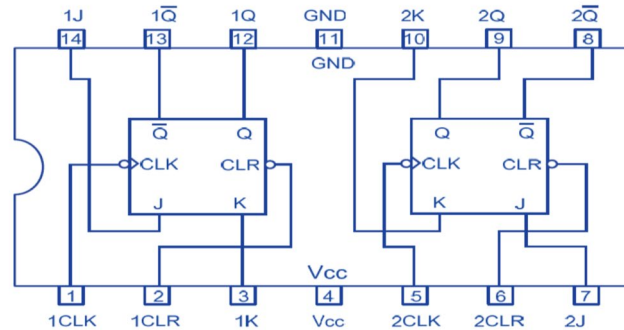
ตารางที่ 7.12 การทำงานของไอซี JK Flip Flop เบอร์ SN74LS76A

INPUT					OUTPUT	
PR	$\overline{\text{CLR}}$	CLK	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H (Note 1)	H (Note 1)
H	H	$\downarrow$	L	L	Q_0	$\overline{Q}_0$
H	H	$\downarrow$	H	L	H	L
H	H	$\downarrow$	L	H	L	H
H	H	$\downarrow$	H	H	TOGGLE	
H	H	H	X	X	Q_0	$\overline{Q}_0$

Note 1: This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (HIGH) level.

7.4.5 ไอซี JK Flip Flop เบอร์ 7473

ไอซีเบอร์ SN7473 เป็นไอซี JK Flip Flop จำนวน 2 ตัว ที่ใช้สัญญาณนาฬิกาพัลส์บวก (สำหรับเบอร์ 7473) และพัลส์บวกขอบขาลง (สำหรับเบอร์ 74LS73A) เป็นสัญญาณทริก และมีขาอินพุต Clear มีโครงสร้างแสดงดังรูปที่ 7.42 และตารางการทำงานสำหรับเบอร์ 7473 แสดงดังตารางที่ 7.13 และตารางการทำงานสำหรับเบอร์ 74LS73A แสดงดังตารางที่ 7.14



รูปที่ 7.42 โครงสร้างไอซี JK Flip Flop เบอร์ SN7473, SN74LS73A

ตารางที่ 7.13 การทำงานของไอซี JK Flip Flop เบอร์ SN7473

INPUT				OUTPUT	
$\overline{\text{CLR}}$	CLK	J	K	Q	$\overline{Q}$
L	X	X	X	L	H
H		L	L	Q_0	$\overline{Q}_0$
H		H	L	H	L
H		L	H	L	H
H		H	H	TOGGLE	

ตารางที่ 7.14 การทำงานของไอซี JK Flip Flop เบอร์ SN74LS73A

INPUT				OUTPUT	
$\overline{\text{CLR}}$	CLK	J	K	Q	$\overline{Q}$
L	X	X	X	L	H
H	$\downarrow$	L	L	Q_0	$\overline{Q}_0$
H	$\downarrow$	H	L	H	L
H	$\downarrow$	L	H	L	H
H	$\downarrow$	H	H	TOGGLE	
H	H	X	X	Q_0	$\overline{Q}_0$

แบบทดสอบหลังเรียน



วงจรรีบ



แบบทดสอบก่อนเรียน



หัวข้อเรื่อง (Topics)

8.1 วงจรนับ

8.2 ไอซีวงจรนับ



8.1 วงจรนับ

วงจรมายถึงวงจรมานำฟลิปฟลิปหลาย ๆ ตัวมาต่ออนุกรมกัน และทำงานร่วมกัน เพื่อนับจำนวนพัลส์หรือสัญญาณนาฬิกาที่ป้อนเข้าทางอินพุต เอาต์พุตของฟลิปฟลิปทุกตัวจะมีค่าเพิ่มขึ้นหรือลดลง การทำงานของวงจรมานับปกติจะนับจากค่าหนึ่งไปยังอีกค่าหนึ่งที่กำหนดหลังจากที่นับครบรอบแล้วจะเริ่มนับค่าเริ่มต้นใหม่ ความเร็วของการนับจะขึ้นอยู่กับความถี่ของสัญญาณนาฬิกาที่ป้อนให้แก่วงจร วงจรมานับแบ่งตามลักษณะการทำงานเป็น 2 แบบ คืวงจรมานับแบบอะซิงโครนัสและวงจรมานับแบบซิงโครนัส

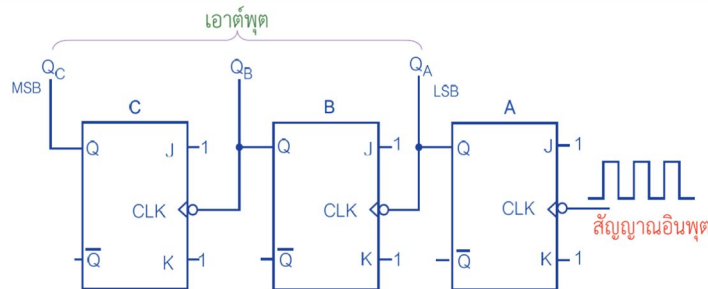
8.1.1 วงจรมานับเลขฐานสองแบบอะซิงโครนัส (Asynchronous counter)

วงจรมานับแบบนี้มีชื่อเรียกอีกชื่อหนึ่งว่า วงจรมานับแบบรีปเปิล หรือวงจรมานับแบบแบบไม่เข้าจังหวะการทำงานของวงจรมานับแบบนี้ฟลิปฟลิปทุกตัวที่อยู่ในวงจรมานับจะทำงานไม่พร้อมกันเพราะการป้อนสัญญาณพัลส์อินพุตป้อนให้แก่ฟลิปฟลิปตัวแรกเท่านั้น เอาต์พุตของตัวแรกจะเป็นอินพุตต่อไป เพื่อกระตุ้นให้ฟลิปฟลิปตัวถัดไปเปลี่ยนแปลงสภาวะการทำงาน วงจรมานับแบบนี้จะใช้ฟลิปฟลิป

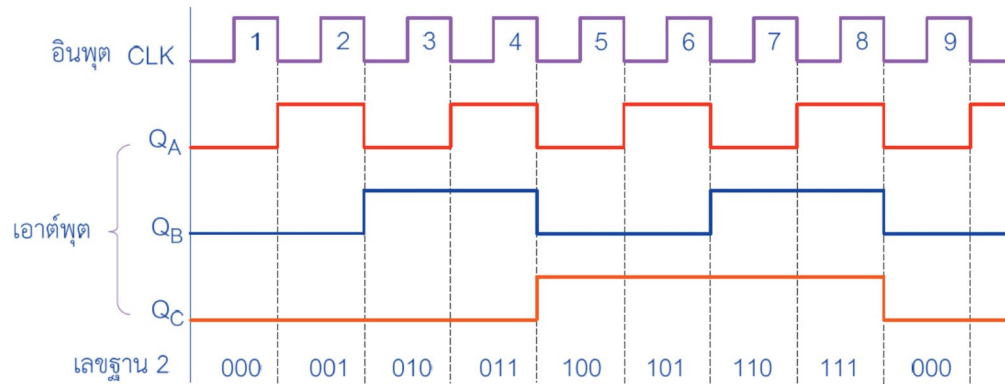
8.1 วงจรนับ

1. วงจรนับเลขฐานสองแบบขึ้น

เป็นวงจรนับที่นับเรียงลำดับจากน้อยไปหามาก เช่นวงจรนับขนาด 3 บิตจะเริ่มนับจาก 000 ถึง 111 ประกอบด้วยฟลิปฟล็อปที่ดัดแปลงมาจากजेकेฟลิปฟล็อปชนิดเปลี่ยนแปลงการทำงานที่พัลส์แบบขอบตามหลัง โดยต่อขา J และขา K เข้ากับลอจิก 1 จากแสดงดังวงจรรูปที่ 8.1



รูปที่ 8.1 วงจรนับเลขฐานสองแบบขึ้นขนาด 3 บิตแบบอะซิงโครนัส



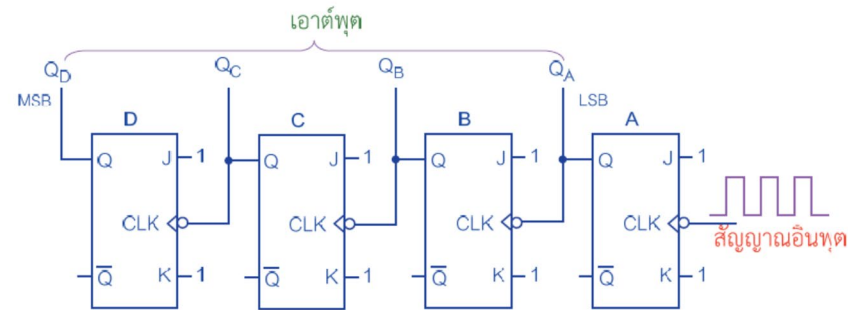
รูปที่ 8.2 แผนภาพเวลาแสดงการทำงานของวงจรนับขึ้น 3 บิต

จากรูปที่ 8.2 ฟลิปฟล็อป A จะถูกกระตุ้นให้เปลี่ยนแปลงสถานะเอาต์พุตทุกครั้ง เมื่อสัญญาณนาฬิกาเปลี่ยนจาก High เป็น Low หรือขอบตามหลัง ฟลิปฟล็อป B จะถูกกระตุ้นให้เอาต์พุตเปลี่ยนสถานะเมื่อได้รับพัลส์แบบขอบตามหลังจากเอาต์พุต Q_A ส่วนฟลิปฟล็อป C จะกระตุ้นและเปลี่ยนแปลงเอาต์พุต เมื่อพัลส์แบบขอบตามหลังจากเอาต์พุต Q_B เมื่อนำแผนภาพเวลาของเอาต์พุตทั้งสามตัวมารวมกันจะเห็นว่าเอาต์พุต Q_C, Q_B, Q_A จะมีค่าที่เพิ่มขึ้นทีละหนึ่ง แสดงดังรูปที่ 8.1 และในตารางที่ 8.1

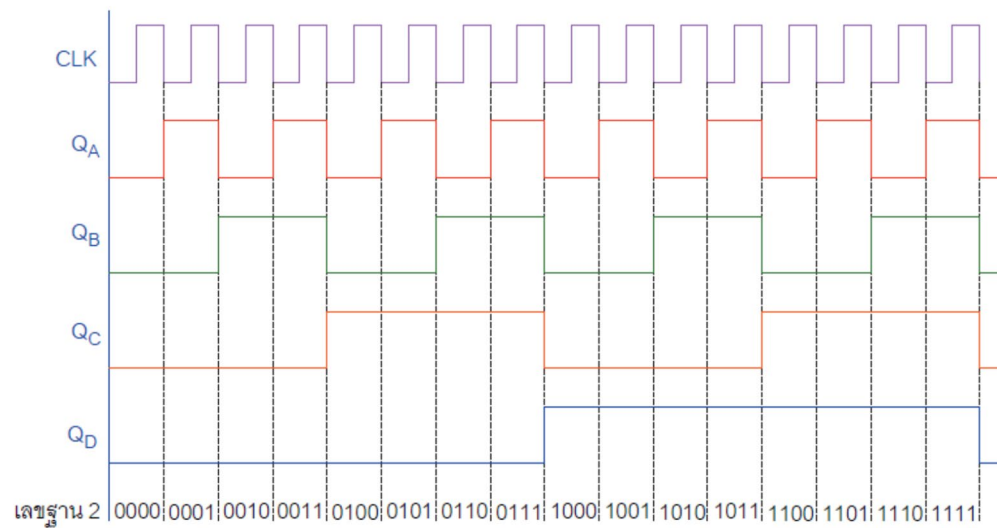
ตารางที่ 8.1 สถานะเอาต์พุตของวงจรรนับขึ้น 3 บิต

สัญญาณนาฬิกาสุกที่	เอาต์พุต			
	Q _C	Q _B	Q _A	การนับฐานสิบ
0	0	0	0	0
1	0	0	1	1
2	0	1	0	2
3	0	1	1	3
4	1	0	0	4
5	1	0	1	5
6	1	1	0	6
7	1	1	1	7
8	0	0	0	0

วงจรรนับเลขฐานสอง จำนวน 4 บิต จะใช้ T Flip Flop ที่ทำมาจาก JK Flip Flop จำนวน 4 ตัว โดยสัญญาณนาฬิกาต่อเข้าที่ขา CLK ของ T Flip Flop A เอาต์พุตของ T Flip Flop (Q_A) จะมีค่าสำคัญทางตัวเลขฐานสองน้อยที่สุด (LSB) สัญญาณเอาต์พุต Q_A จะต่อเป็นสัญญาณนาฬิกาของ T Flip Flop B โดยต่อเช่นนี้ไปเรื่อย ๆ จนถึง T Flip Flop ตัวสุดท้าย คือ T Flip Flop D ซึ่งเอาต์พุตของ T Flip Flop D (Q_D)จะมีค่าสำคัญทางตัวเลขฐานสองมากที่สุด (MSB) วงจรรนับเลขฐานสอง จำนวน 4 บิต แสดงดังรูปที่ 8.3 และแผนภาพเวลาแสดงในรูปที่ 8.4



รูปที่ 8.3 วงจรรนับเลขฐานสอง 4 บิตนับขึ้นแบบอะซิงโครนัส



รูปที่ 8.4 แผนภาพเวลาแสดงการทำงานของวงจรรนับฐานสอง 4 บิต นับขึ้น แบบอะซิงโครนัส

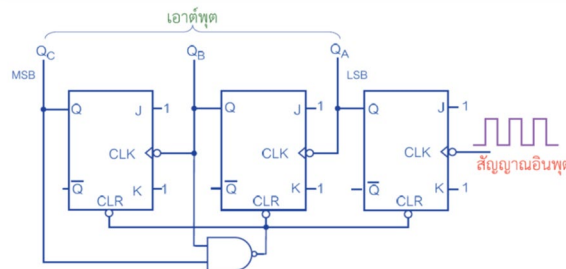
2. วงจรนับเลขฐานสองถึงค่าที่กำหนด

วงจรรับที่กำหนดให้นับถึงค่าที่ต้องการตามที่ผู้ออกแบบกำหนด ด้วยการนำค่าที่ต้องการให้นับถึงนำมาเป็นอินพุตเพื่อกำหนดค่าล่วงหน้าหรือลบค่าเอาต์พุต โดยไม่ปล่อยให้วงจรรับถึงค่าสูงสุดตามจำนวนคือ 2^N และฟลิปฟล็อปที่ใช้ในวงจรรับแบบนี้ได้จะต้องมีขาตั้งค่า (PR) และขาลบค่า (CLR) แล้วแต่ผู้ออกแบบจะกำหนดใช้งาน

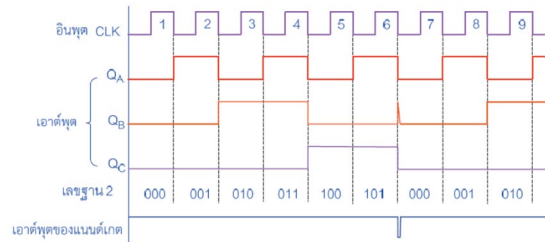
ตัวอย่างที่ 8.1 จงออกแบบวงจรรับ 6 แบบอะซิงโครนัสโดยใช้ไอซีเบอร์ 7476

วิธีการออกแบบ

1. หาจำนวนฟลิปฟล็อปที่น้อยที่สุดตามสูตร 2^N โดยให้มีค่าการนับมากกว่าค่าที่เราต้องการให้นับถึง เมื่อต้องการนับ 6 ก็ต้องใช้ฟลิปฟล็อปจำนวน 3 ตัว (นับ 8)
2. นำค่าเอาต์พุตที่เราต้องการให้นับถึงมาเลือกเอาต์พุตเฉพาะที่มีค่าเป็นลอจิก “1” เพื่อป้อนเป็นอินพุต CLR เมื่อนับถึง 6 ก็จะได้ค่าเอาต์พุตที่มีค่าเป็นลอจิก “1” คือ เอาต์พุต QC และเอาต์พุต QB ซึ่ง $QC, QB, QA = 110_2 = 6_{10}$
3. เลือกใช้เกตเพื่อนำเอาต์พุตไปป้อนให้ขา CLR ในตัวอย่างนี้เลือกใช้แนนด์เกตเพราะเมื่อรับอินพุตเป็นลอจิก “1” ทั้งคู่แล้วให้เอาต์พุตออกเป็นลอจิก “0” ป้อนให้ขา CLR ของไอซีเบอร์ 7476
4. นำค่าที่พิจารณาในข้อ 1–3 มาเขียนวงจรลอจิก โดยต่อขา CLR ถึงกันทั้งหมดแล้วรับอินพุตจากแนนด์เกตจากข้อ 3 เขียนวงจรแสดงดังรูปที่ 8.5



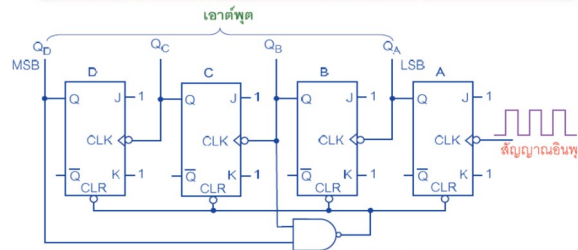
รูปที่ 8.5 วงจรรับ 6 (0–5) แบบอะซิงโครนัส



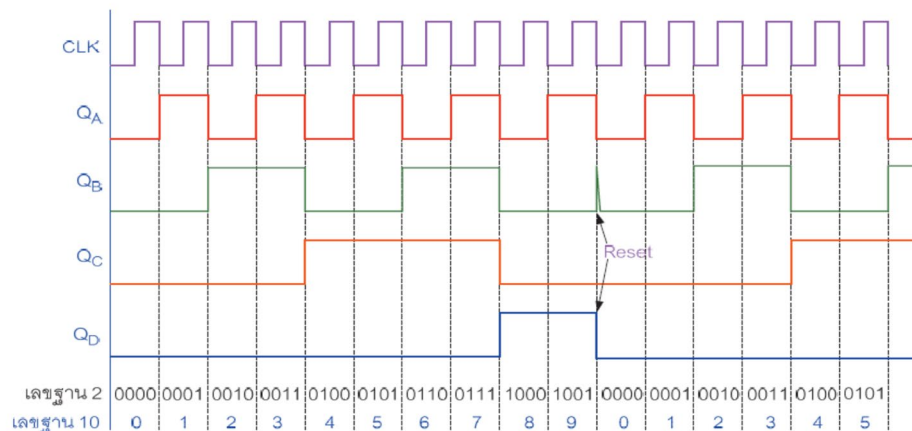
รูปที่ 8.6 แผนภาพเวลาของวงจรนับ 6 (นับ 0 ถึง 5)

จากรูปที่ 8.6 จะเห็นว่าเมื่อวงจรนับถึงเลข 5 หรือ “101” แล้ว จะทำให้เอาต์พุตถัดไปเป็น “0” ทุกตัวหรือ 000 เพราะว่าจากวงจรนับในรูปที่ 8.5 ที่ต่อเอาต์พุต Q_C และ Q_B ไปต่อเป็นอินพุตของแนนด์เกต เมื่อวงจรนับถึงเลข 6 ซึ่งมีค่าที่เอาต์พุตคือ $Q_C = 1$, $Q_B = 1$, $Q_A = 0$ ขณะเดียวกันเกตแบบแนนด์ก็ได้รับอินพุตมีค่าเป็น “1” จาก Q_C และ Q_B แนนด์เกต ให้เอาต์พุตเป็น “0” มาป้อนที่ขาเคลียร์ (CLR) ของฟลิปฟล็อป เมื่อขา CLR ของฟลิปฟล็อปได้รับ “0” ก็จะทำงานและลบล้างเอาต์พุตของฟลิปฟล็อปทุกตัวให้มีค่าเป็นลอจิก 000

ตัวอย่างที่ 8.2 จงออกแบบวงจรนับ 10 (0–9) แบบอะซิงโครนัสโดยใช้ไอซีเบอร์ 7476 วงจรนับ 10 หมายถึงวงจรที่นับเลข 0 ถึงเลข 9 เมื่อนับถึงเลข 10 จะทำการรีเซ็ต หรือเริ่มต้นใหม่ ซึ่งเลข 10 = 1010₂ ดังนั้นต้องใช้ Flip Flop จำนวน 4 ตัว และใช้สัญญาณจาก Q_D และ Q_B สำหรับการรีเซ็ต แสดงดังรูปที่ 8.7



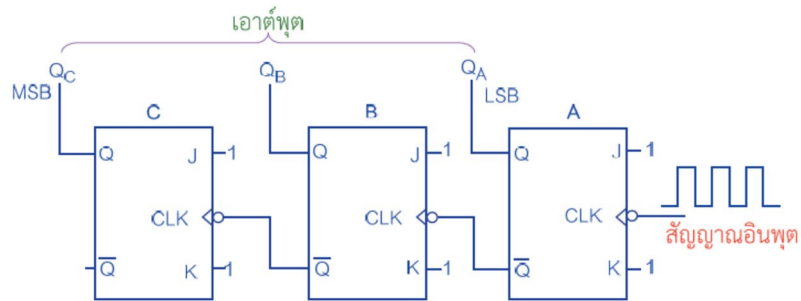
รูปที่ 8.7 วงจรนับ 10 (0–9) แบบอะซิงโครนัสโดยใช้ไอซีเบอร์ 7476



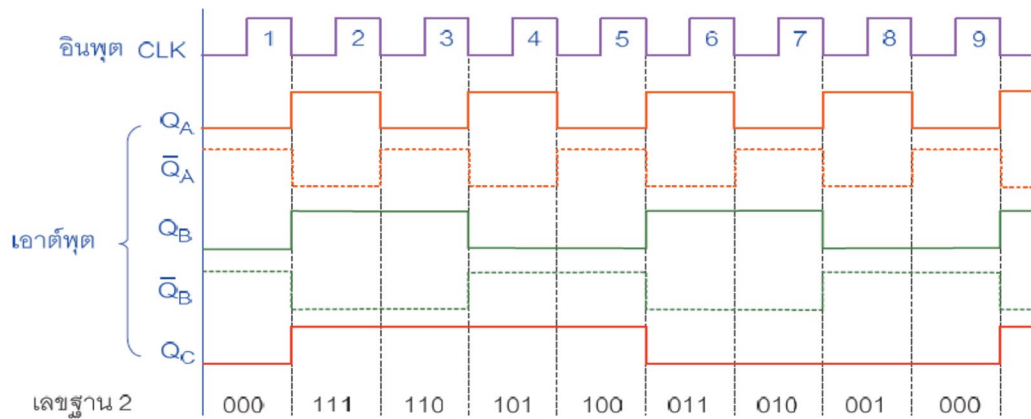
รูปที่ 8.8 แผนภาพเวลาแสดงการทำงานของวงจรนับ 10 (0-9) นับขึ้น แบบอะซิงโครนัส

3. วงจรนับเลขฐานสองแบบนับลง

เป็นวงจรนับเลขฐานสองที่นับเรียงลำดับจากมากไปน้อย เช่นวงจรนับขนาด 3 บิต เริ่มนับจาก 111 และลดลงถึง 000 วงจรนับเลขฐานสองประกอบด้วยฟลิปฟล็อป ที่สร้างมาจากजेकेฟลิปฟล็อปชนิดเปลี่ยนแปลงการทำงานที่ขอบตามหลัง การต่อวงจรแตกต่างจากวงจรนับขึ้นคือฟลิปฟล็อป B รับอินพุตจากเอาต์พุต Q_A และฟลิปฟล็อป C จะรับอินพุตจากเอาต์พุต Q_B ซึ่งค่าที่ได้จากเอาต์พุตจะเป็นวงจรมูลค่าแสดงดังรูปที่ 8.9



รูปที่ 8.9 วงจรนับเลขฐานสอง 3 บิต นับลง แบบอะซิงโครนัส



รูปที่ 8.10 แผนภาพเวลาแสดงการทำงานของวงจรนับลง 3 บิต แบบอะซิงโครนัส

8.1.2 วงจรรนับเลขฐานสองแบบซิงโครนัส (Synchronous counter)

เป็นวงจรรนับที่ฟลิปฟล็อปในวงจรรทำงานพร้อมกันทุกตัว โดยสัญญาณนาฬิกาเป็นตัวหนดให้เปลี่ยนสถานะการทำงาน วงจรรนับแบบนี้จะมีข้อดีกว่าวงจรรนับแบบอะซิงโครนัส คือทำงานได้ดีในกรณีที่สัญญาณอินพุตสูง เนื่องจากไม่ต้องประวิงสัญญาณของฟลิปฟล็อป

การเลือกฟลิปฟล็อปมาออกแบบวงจรรนับได้ทั้งชนิดเจเคฟลิปฟล็อปและดีฟลิปฟล็อปการออกแบบวงจรรนับแบบนี้ต้องใช้ตารางช่วยออกแบบคือตารางการนับ ตารางการกระตุ้นและแผนผังคาร์โนห์

OUTPUT		INPUT	
Q_n	Q_{n+1}	J	K
$0 \rightarrow 0$	0	X	X
$0 \rightarrow 1$	1	X	X
$1 \rightarrow 0$	X	X	1
$1 \rightarrow 1$	X	X	0

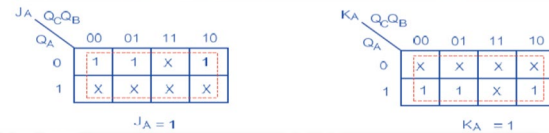
$Q_3 Q_2$ \ $Q_1 Q_0$	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

รูปที่ 8.11 ตารางการกระตุ้นและแผนผังคาร์โนห์

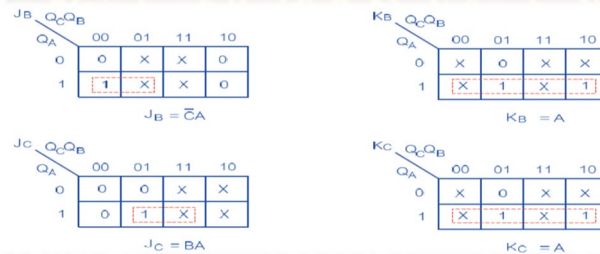
ตารางที่ 8.3 ตารางการเปลี่ยนแปลงเอาต์พุต

ลำดับการนับ	การเปลี่ยนแปลงสถานะของเอาต์พุต			ผลของอินพุตจากตารางการกระตุ้น							
	สถานะปัจจุบัน $\rightarrow$ สถานะถัดไป			(จากสถานะปัจจุบัน)							
	Q_C	Q_B	Q_A	J_C	K_C	J_B	K_B	J_A	K_A		
$0 \rightarrow 1$	$0 \rightarrow 0$	$0 \rightarrow 0$	$0 \rightarrow 1$	0	X	0	X	1	X		
$1 \rightarrow 2$	$0 \rightarrow 0$	$0 \rightarrow 1$	$1 \rightarrow 0$	0	X	1	X	X	1		
$2 \rightarrow 3$	$0 \rightarrow 0$	$1 \rightarrow 1$	$0 \rightarrow 1$	0	X	X	0	1	X		
$3 \rightarrow 4$	$0 \rightarrow 1$	$1 \rightarrow 0$	$1 \rightarrow 0$	1	X	X	1	X	1		
$4 \rightarrow 5$	$1 \rightarrow 1$	$0 \rightarrow 0$	$0 \rightarrow 1$	X	0	0	X	1	X		
$5 \rightarrow 0$	$1 \rightarrow 0$	$0 \rightarrow 0$	$0 \rightarrow 1$	X	1	0	X	X	1		

4. นำผลของอินพุตจากตารางการเปลี่ยนแปลงเอาต์พุตในตารางที่ 8.3 มากรอกลงใน แผนผังคาร์โนห์ของ ฟลิปฟล็อปให้ครบทั้ง 3 ตัว จากนั้นก็จับคู่รอบกรอบลดรูปสมการ (ค่าที่ไม่มีในตารางการนับ จะต้องเป็น don't care term)

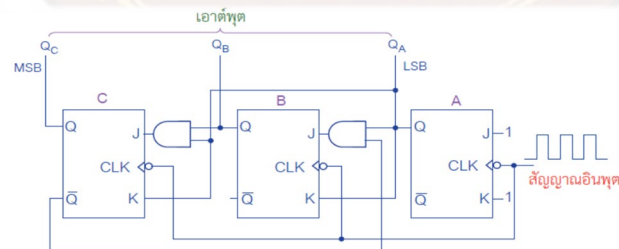


รูปที่ 8.12 การลดรูปสมการหาค่าอินพุตของฟลิปฟล็อป A, B และ C



รูปที่ 8.12 การลดรูปสมการหาค่าอินพุตของฟลิปฟล็อป A, B และ C (ต่อ)

5. สมการที่ลดรูปได้จากข้อ 3 และข้อ 4 มาเขียนวงจรนับ 6 ดังรูปที่ 8.13



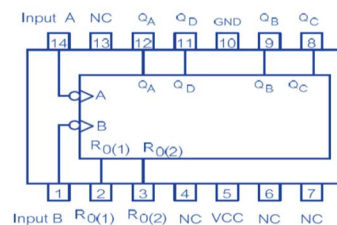
รูปที่ 8.13 วงจรนับ 6 (0-5) นับขึ้น แบบซิงโครนัส

8.2 ไอซีวงจรรนับ

บริษัทผู้ผลิตไอซีได้ออกแบบวงจรรนับบรรจุลงในไอซีเบอร์ต่าง ๆ เพื่ออำนวยความสะดวกในการใช้งานเพราะฉะนั้นจึงออกแบบเพื่อให้ใช้งานได้หลายเงื่อนไข ดังนั้นผู้ใช้งานจะต้องเข้าใจโครงสร้างภายในและการใช้งานในเงื่อนไขต่าง ๆ จึงจะสามารถใช้งานไอซีนั้นได้อย่างถูกต้อง

8.2.1 ไอซีวงจรรนับเบอร์ 7493

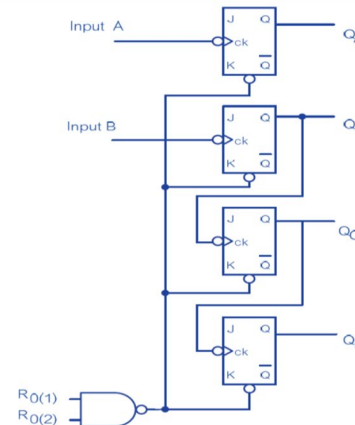
ไอซีวงจรรนับแบบอะซิงโครนัส ซึ่งมีโครงสร้างภายในประกอบด้วยเจเคฟลิปฟล็อป จำนวน 4 ตัว แบ่งการทำงานออกเป็นสองส่วน ซึ่งมีอินพุต A ให้เอาต์พุต Q_A เป็นวงจรรหหาร 2 และฟลิปฟล็อป 3 ตัว ที่เหลือ



ก. ตำแหน่งขาไอซี 7493

อินพุต		เอาต์พุต			
R ₀ (1)	R ₀ (2)	Q _D	Q _C	Q _B	Q _A
1	1	0	0	0	0
0	X			นับ	
X	0			นับ	

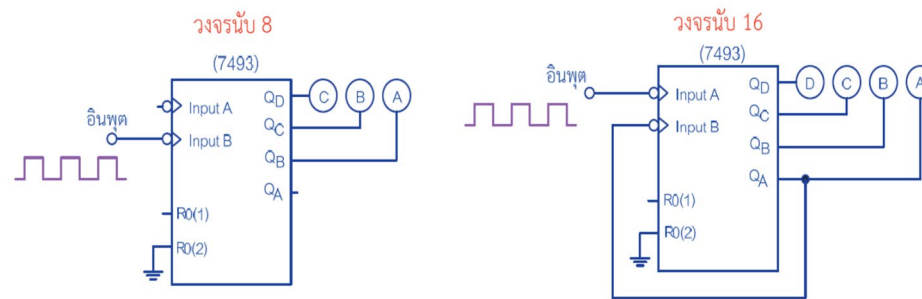
ข. ตารางตั้งค่านินพุต



ค. วงจรภายในไอซี 7493

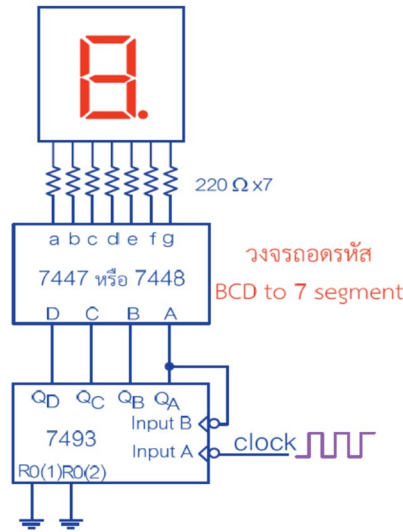
รูปที่ 8.14 ตำแหน่งขาตารางการรีเซตนับและวงจรภายในของไอซีเบอร์ 7493

เมื่อต้องการวงจรรนับเลขไบนารีขนาด 4 บิต (0–15) จะต้องต่อเอาต์พุต Q_A ให้กับอินพุต B ส่วนขาอินพุต Ro(1) และขาอินพุต Ro(2) เป็นขาอินพุตสำหรับตั้งค่าการนับใหม่ให้อาต์พุตทุกตัวให้มีค่าเป็น 0 และจะตั้งค่าใหม่เมื่อขาอินพุตทั้งสองได้รับลอจิก 1 เท่านั้น ในกรณีที่ไมต้องการตั้งค่าการนับใหม่จะต้องต่อขาใดขาหนึ่งไว้ที่กราวด์เพื่อให้ได้รับลอจิก 0 เพราะถ้าเปิดวงจรไว้จะมีสถานะเป็นลอจิก 1 ซึ่งไอซีจะตั้งค่าการนับใหม่ตลอดเวลาจนไม่สามารถนับได้ ไอซีเบอร์นี้มีวงจรรนับ 8 และนับ 16 โดยใช้ไอซี 7493 แสดงดังรูปที่ 8.15



รูปที่ 8.15 วงจรรนับ 8 และนับ 16 ใช้ไอซีเบอร์ 7493

การใช้งานไอซีวงจรรนับเบอร์ 7493 เป็นวงจรรนับขนาด 4 บิต เพื่อใช้นับจำนวนพัลส์จากสัญญาณนาฬิกา (Clock) แสดงผลที่ LED 7-segment เป็นตัวเลข 0-F แสดงดังรูปที่ 8.16



รูปที่ 8.16 วงจรรนับ 4 บิต

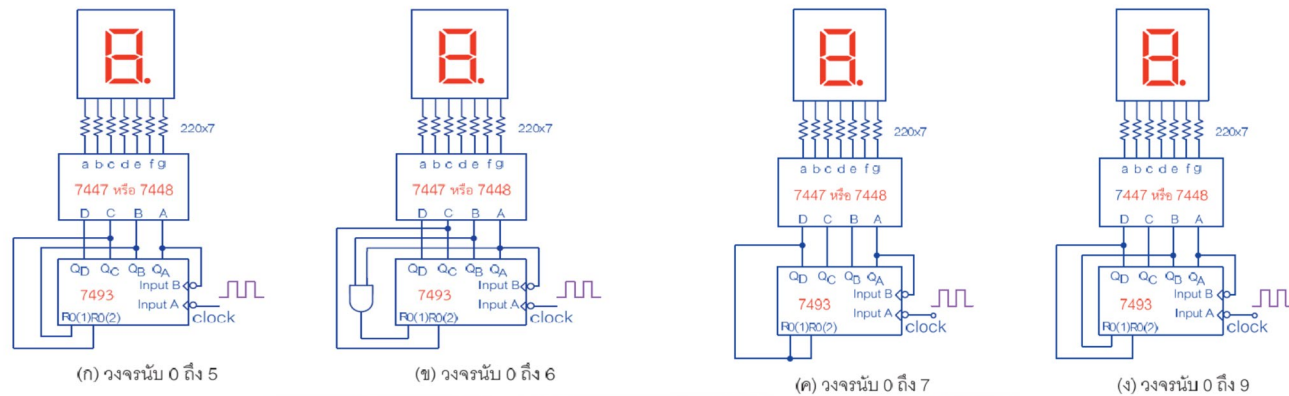
จากรูปที่ 8.16 เป็นวงจรรนับขนาด 4 บิต สัญญาณนาฬิกาเข้าที่อินพุต A เอาต์พุต Q_A ออกไปใช้งานและเอาต์พุต Q_A ถูกต่อไปยังอินพุต B ที่มีวงจรรภายในเป็นวงจรรนับขนาด 3 บิต คือ Q_B , Q_C , Q_D เมื่อรวมกับ Q_A จึงเป็นวงจรรนับขนาด 4 บิต สามารถนับเลข 0 – 9 และ A – F ได้

การใช้งานไอซีเบอร์ 7493 ให้นับถึงค่าที่กำหนด โดยการหาใช้ขา R₍₀₍₁₎₎ และ R₍₀₍₂₎₎ เป็นตัวควบคุมการเคลียร์หรือการเริ่มต้นใหม่ให้เอาต์พุตเป็น 0000 จากโครงสร้างภายในของไอซีเบอร์ 7493 ในรูปที่ 9.17(ค)จะทราบว่าถ้าต้องการเคลียร์ (Clear) สามารถนำลอจิก 1 ของเอาต์พุตที่ต้องการให้เคลียร์มาต่อที่ขา R₍₀₍₁₎₎ และ R₍₀₍₂₎₎ ไอซี 7493 ทำการเคลียร์ให้เอาต์พุต Q_D – Q_A เป็น 0000 เพื่อเริ่มต้นนับใหม่ การควบคุมการนับให้ใช้ตารางที่ 8.4

ตารางที่ 8.4 ตารางเลขฐานสองเทียบกับเลขฐานสิบ

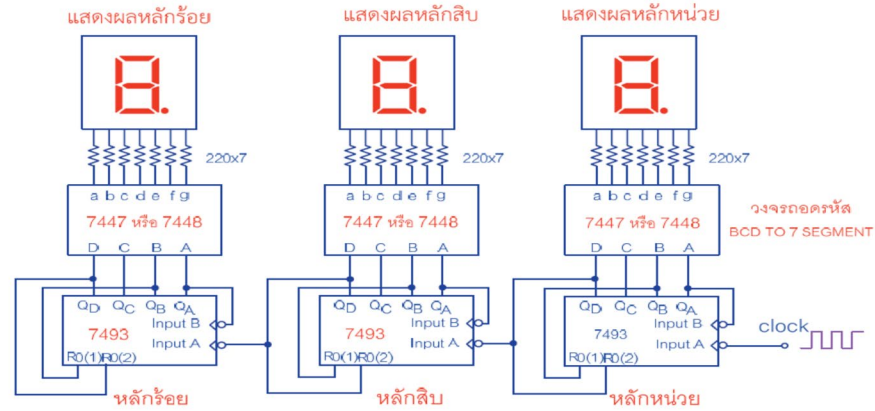
เลขฐานสิบ	เลขฐานสอง			
	Q _D	Q _C	Q _B	Q _A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

จากตารางที่ 8.4 เมื่อต้องการให้ไอซีเบอร์ 7493 นับเลข 0 – 5 ให้เคลียร์ที่เลข 6 ซึ่งเลข 6 มีเอาต์พุตที่เป็นลอจิก 1 จำนวน 2 ตัวคือ Q_B และ Q_C ให้ต่อ Q_B และ Q_C ไปที่ขา $R_{(0(1))}$ และ $R_{(0(2))}$ จึงเขียนเป็นวงจรได้ดังรูป 8.17 (ก) ถ้าต้องการให้ไอซีเบอร์ 7493 นับเลข 0 – 7 ให้เคลียร์ที่เลข 8 ซึ่งเลข 8 มีเอาต์พุตที่เป็นลอจิก 1 จำนวน 1 ตัวคือ Q_D ให้ต่อ Q_D ไปที่ขา $R_{(0(1))}$ และ $R_{(0(2))}$ ดังวงจรรูปที่ 8.17 (ข) ถ้าต้องการให้ไอซีเบอร์ 7493 นับเลข 0 – 6 ให้เคลียร์ที่เลข 7 ซึ่งเลข 7 มีเอาต์พุตที่เป็นลอจิก 1 จำนวน 3 ตัวคือ Q_C , Q_B และ Q_A แต่ขาควบคุมการเคลียร์มีเพียง $R_{(0(1))}$ และ $R_{(0(2))}$ ดังนั้นจะต้องต่อแอนด์เกตเพิ่มดังวงจรรูปที่ 8.17 (ค) ถ้าต้องการให้ไอซีเบอร์ 7493 นับเลข 0 – 9 ให้เคลียร์ที่เลข 10 ซึ่งเลข 10 มีเอาต์พุตที่เป็นลอจิก 1 จำนวน 2 ตัวคือ Q_D และ Q_B ให้ต่อ Q_D และ Q_B ไปที่ขา $R_{(0(1))}$ และ $R_{(0(2))}$ เขียนเป็นวงจรได้ดังรูป 8.17 (ง)

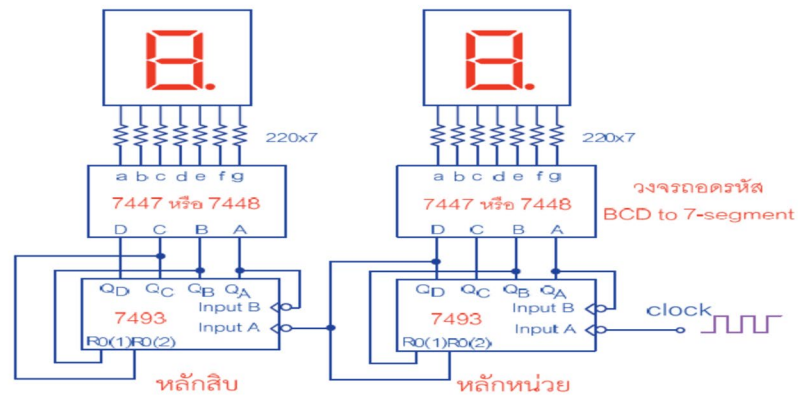


รูปที่ 8.17 การควบคุมการนับของไอซี 7493

การใช้งานไอซีเบอร์ 7493 ให้สามารถนับต่อเนื่องได้หลาย ๆ หลักนั้นสามารถทำได้โดยการต่อ Q_D ของหลักต่ำกว่าต่อไปยังอินพุต A ของหลักที่สูงกว่า เช่นการนับ 1000 หรือ 000 ถึง 999 ดังแสดงในรูปที่ 8.18



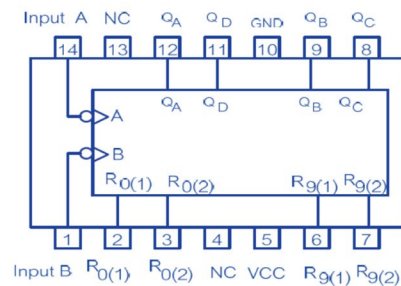
รูปที่ 8.18 วงจรนับ 1000 (0 ถึง 999)



รูปที่ 8.19 วงจรนับ 60 (00 ถึง 59)

8.2.2 ไอซีวงจรรนับเบอร์ 7490 (Decade and Binary Counter)

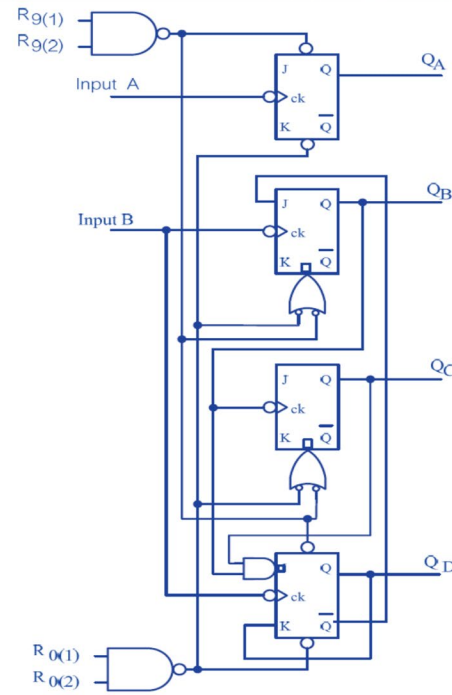
ไอซีเบอร์ 7490 เป็นวงจรรนับแบบอะซิงโครนัสที่ออกแบบให้รนับสิบ (0-9) ที่มีโครงสร้างภายในแสดงดังรูปที่ 8.20 ซึ่งฟลิปฟล็อปตัว A ทำหน้าที่รนับ 2 (0,1) และฟลิปฟล็อป B, C และ D ออกแบบให้เป็นวงจรรนับ 5 เมื่อต่ออินพุต B เข้ากับ Q_A จะทำให้เป็นวงจรรนับสิบ โดยมีตารางควบคุมการรนับและการจัดวางขาแสดงในรูปที่ 8.20



(ก) ตำแหน่งขาไอซี 7490

อินพุต				เอาต์พุต			
R ₀ (2)	R ₀ (1)	R ₉ (1)	R ₉ (2)	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	X	L	Count			
X	L	L	X	Count			
L	X	L	X	Count			
X	L	X	L	Count			

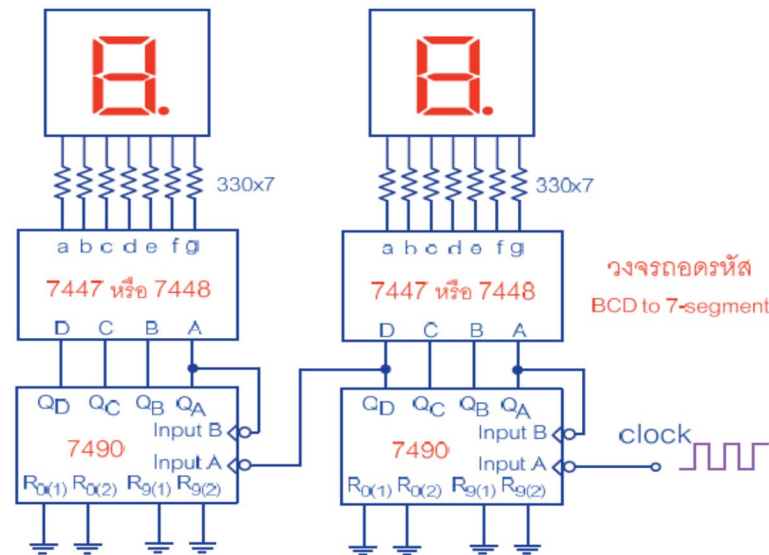
(ข) ตารางตั้งค่านินพุต



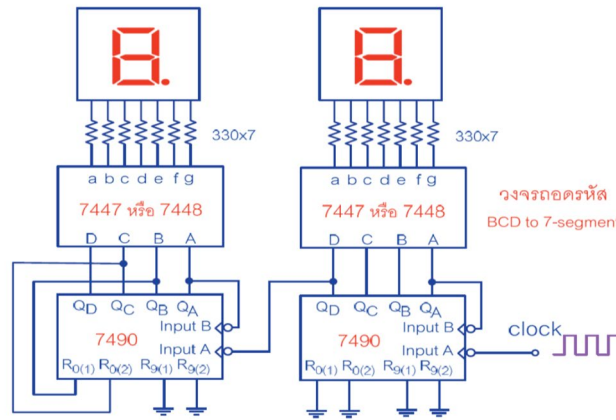
(ค) วงจรภายในไอซี 7490

รูปที่ 8.20 โครงสร้างและตารางการทำงานของไอซีวงจรรนับเบอร์ 7490

จากรูปที่ 8.20 เมื่อต้องการให้เอาต์พุตเป็น 0000 ขาควควบคุม $R_{(0(1))}, R_{(0(2))}, R_{(9(1))}, R_{(9(2))}$ จะเป็น H,H,X,L หรือ H,H,L,X ตามลำดับ เมื่อต้องการให้เอาต์พุตเป็น 1001 ขาควควบคุม $R_{(0(1))}, R_{(0(2))}, R_{(9(1))}, R_{(9(2))}$ จะเป็น X,X,H,H ตามลำดับ แต่ถ้าหากต้องการให้ไอซี 7490 ทำหน้าที่เป็นวงจรรนับ ขาใดขาหนึ่งหรือทั้งคู่ของ $R_{(0(1))}, R_{(0(2))}$ ต้องเป็น L และขาใดขาหนึ่งหรือทั้งคู่ของ $R_{(0(1))}, R_{(0(2))}$ ต้องเป็น L (เมื่อ $H = 1, L = 0$)



รูปที่ 8.21 วงจรรนับ 00 ถึง 99 โดยใช้ไอซี 7490



รูปที่ 8.22 วงจรรนับ 00 ถึง 59 โดยใช้ไอซี 7490

8.2.3 ไอซีวงจรรนับเบอร์อื่น ๆ

นอกเหนือจากไอซีวงจรรนับเบอร์ 7493, 7490 และเบอร์ 74193 ตามรายละเอียดดังที่กล่าวมาข้างต้น ยังมีไอซีวงจรรนับอีกหลายเบอร์ เช่น

1. ไอซีวงจรรนับเบอร์ 7492 เป็นไอซีวงจรรนับ 12
2. ไอซีวงจรรนับเบอร์ 74160, 74162 เป็นไอซีวงจรรนับสิบ แบบซิงโครนัส
3. ไอซีวงจรรนับเบอร์ 74161, 74163 เป็นไอซีวงจรรนับเลขฐานสอง แบบซิงโครนัส
4. ไอซีวงจรรนับเบอร์ 74168 เป็นไอซีวงจรรนับสิบ นับขึ้นนับลง แบบซิงโครนัส
5. ไอซีวงจรรนับเบอร์ 74169 เป็นไอซีวงจรรนับเลขฐานสอง นับขึ้นนับลง แบบซิงโครนัส
6. ไอซีวงจรรนับเบอร์ 74290 เป็นไอซีวงจรรนับสิบแบบอะซิงโครนัส
7. ไอซีวงจรรนับเบอร์ 74293 เป็นไอซีวงจรรนับเลขฐานสอง 4 บิต แบบอะซิงโครนัส

แบบทดสอบหลังเรียน

